

10/616 - 414 . 11.10.03



**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

02425453.4

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk



Europäisches
Patentamt

Europ an
Patent Office

Office européen
des brevets

Blatt 2 d r Bescheinigung
Sheet 2 of the certificate
Page 2 de l'attestation

Anmeldung Nr.:
Application no.: 02425453.4
Demande n°:

Anmeldetag:
Date of filing: 10/07/02
Date de dépôt:

Anmelder:
Applicant(s):
Demandeur(s):
STMicroelectronics S.r.l.
20041 Agrate Brianza (Milano)
ITALY

Bezeichnung der Erfindung:
Title of the invention:
Titre de l'invention:
Line selector for a matrix of memory elements

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

Staat:
State:
Pays:

Tag:
Date:
Date:

Aktenzeichen:
File no.
Numéro de dépôt:

Internationale Patentklassifikation:
International Patent classification:
Classification internationale des brevets:
G11C16/16, G11C16/08, G11C8/12

Am Anmeldetag benannte Vertragsstaaten:
Contracting states designated at date of filing: AT/BG/BE/CH/CY/CZ/DE/DK/EE/ES/FI/FR/GB/GR/IE/IT/LI/LU/MC/NL/
Etats contractants désignés lors du dépôt:

Bemerkungen:
Remarks:
Remarques: For the original title, see page 1 of the description

SELETTORE DI LINEA PER UNA MATRICE DI ELEMENTI DI MEMORIA

* * * * *

La presente invenzione si riferisce in generale al settore delle memorie a semiconduttore, in particolare ma
5 non esclusivamente a memorie non-volatili ed ancor più in particolare a memorie non-volatili cancellabili elettricamente.

Un'importante caratteristica delle memorie non-volatili cancellabili (e programmabili) elettricamente è
10 l'affidabilità nei confronti di ripetuti cicli di scrittura/cancellazione.

Analogamente ad un'operazione di scrittura, un'operazione di cancellazione è normalmente condotta in una pluralità di fasi; ciascuna fase prevede di applicare un
15 impulso di cancellazione alle celle di memoria da cancellare, e verificare poi se le celle di memoria sono state cancellate, o se è necessario un ulteriore impulso di cancellazione.

In una memoria, alcune celle di memoria si cancellano
20 normalmente più rapidamente di altre. Mentre alcune celle di memoria richiedono pochi impulsi di cancellazione per cancellarsi pienamente, altre celle di memoria richiedono molti impulsi di cancellazione.

Eccezion fatta per le EEPROM, che presentano una
25 selettività in cancellazione, l'operazione di cancellazione

ha un carattere globale e concerne allo stesso tempo un gran numero di celle di memoria. A causa di questo carattere globale, accade comunemente che, a causa della presenza di celle di memoria difficili da cancellare, quelle celle di memoria che si cancellano invece più velocemente sono sottoposte a più impulsi di cancellazione di quanto sarebbe strettamente necessario.

Questo provoca un'inutile sollecitazione delle celle di memoria. In memorie elettricamente cancellabili che hanno celle di memoria formate da transistor MOS con un gate flottante conduttivo, le celle di memoria possono entrare in una condizione di svuotamento, che deve essere recuperata mediante riscrittura delle celle di memoria; il tempo necessario alla cancellazione ed il consumo aumentano di conseguenza. La situazione è ancor peggiore nel caso di memorie che hanno celle di memoria formate da transistor MOS con uno strato di intrappolamento di carica, tipicamente di nitruro di silicio (come i transistor sfruttati per formare celle di memoria a due bit). In questo caso, ad ogni impulso di cancellazione una certa quantità di cariche è intrappolata nello strato di nitruro; queste cariche intrappolate, che non possono essere rimosse, inducono nel corso del tempo una condizione di saturazione, a causa della quale le celle di memoria non possono più essere sottoposte a cicli di scrittura/cancellazione.

Nonostante il carattere globale dell'operazione di cancellazione, sarebbe perciò desiderabile, e questo è stato uno scopo della presente invenzione, evitare, per quanto possibile, di sottoporre le celle di memoria ad impulsi di
5 cancellazione inutili a cui le celle di memoria già cancellate sono sottoposte causa la presenza di celle di memoria di difficile cancellazione, o almeno limitare il numero di tali impulsi.

Secondo un aspetto della presente invenzione, questo ed
10 altri scopi sono stati raggiunti mediante un selettore di linea di una matrice di elementi di memoria come definito nella rivendicazione 1.

Riassumendo, il selettore di linea comprende una pluralità di circuiti di selezione di gruppi di linee della
15 matrice, ciascuno dei quali permette la selezione di un rispettivo gruppo di linee della matrice in accordo ad un indirizzo; ciascun gruppo di linee include almeno una linea della matrice.

Mezzi segnalatori sono associati a ciascun gruppo di
20 linee della matrice, e possono essere impostati per dichiarare uno stato di pendenza di un'operazione prescritta che deve essere condotta sul rispettivo gruppo di linee.

Sono previsti mezzi per affidare ai mezzi segnalatori la selezione del rispettivo gruppo di linee durante
25 l'esecuzione dell'operazione prescritta, in alternativa al

rispettivo circuito di selezione di gruppo di linee, i mezzi segnalatori abilitando, quando impostati, l'esecuzione dell'operazione prescritta sugli elementi di memoria del rispettivo gruppo di linee della matrice.

5 In una forma di realizzazione dell'invenzione, il selettore seleziona linee di parola della matrice di elementi di memoria, e l'operazione prescritta è un'operazione di cancellazione.

Secondo un altro aspetto della presente invenzione, è
10 fornito un metodo per eseguire un'operazione prescritta su una matrice di elementi di memoria come definito nella rivendicazione 12.

Esposto in breve, il metodo comprende il provvedere un selettore di linea della matrice avente una pluralità di
15 circuiti di selezione di gruppi di linee, ciascuno dei quali permette la selezione di un rispettivo gruppo di linee della matrice in accordo ad un indirizzo; ciascun gruppo di linee della matrice include almeno una linea della matrice.

Ciascun gruppo di linee della matrice è associato ad un
20 rispettivo segnalatore ("flag").

Almeno un segnalatore è selettivamente impostato, per dichiarare uno stato di pendenza dell'operazione prescritta per il rispettivo gruppo di linee della matrice, ed ai segnalatori viene affidata la selezione del rispettivo
25 gruppo di linee della matrice, in alternativa al rispettivo

circuito di selezione di gruppo di linee. L' almeno un segnalatore che è stato impostato abilita l'esecuzione dell'operazione prescritta sul rispettivo gruppo di linee della matrice.

5 Le caratteristiche ed i vantaggi della presente invenzione saranno resi evidenti dalla seguente descrizione dettagliata di una sua forma di realizzazione pratica, fornita soltanto a titolo di esempio limitativo in relazione ai disegni annessi, nei quali:

10 **Fig. 1** mostra schematicamente i principali blocchi di una memoria avente un selettore di linea di parola secondo una forma di realizzazione pratica della presente invenzione, composto da una pluralità di blocchi selettori di linea di parola;

15 **Fig. 2** mostra una porzione di una disposizione di celle di memoria della memoria di **Fig. 1**, segnatamente la porzione associata ad un blocco selettore di linea di parola;

Fig. 3 è un diagramma circuitale particolareggiato di un selettore di pacchetto di linee di parola di un generico
20 blocco selettore di linea di parola, secondo una forma di realizzazione pratica della presente invenzione;

Fig. 4 mostra in dettaglio un demultiplexer di linea di parola ed un circuito di controllo della selezione di bit
25 parole; line locale di un generico blocco selettore di linea di

Fig. 5 mostra in dettaglio un circuito di pilotaggio finale del demultiplexer di linea di parola e del circuito di controllo della selezione di bit line locale di **Fig. 4**;

Fig. 6 mostra una forma di realizzazione pratica
5 alternativa di un circuito di riposizionamento dei circuiti di pilotaggio finale del demultiplexer di linea di parola e del circuito di controllo della selezione di bit line locale di **Fig. 4**;

Fig. 7 mostra schematicamente un circuito di controllo
10 della memoria, che controlla il funzionamento del selettore di linea di parola; e

Fig. 8A e **Fig. 8B** sono diagrammi temporali semplificati che mostrano il funzionamento delle due forme di realizzazione alternative del circuito di riposizionamento.

15 Riferendosi ai disegni, **Fig. 1** mostra schematicamente i blocchi circuitali di interesse di una memoria cancellabile e programmabile elettricamente avente ha un selettore di linea di parola secondo una forma di realizzazione pratica della presente invenzione. In particolare, ed a titolo di
20 mero esempio, è considerata una memoria con celle di memoria a due bit, ossia una memoria in cui le celle di memoria sono in grado di memorizzare due bit in due diverse aree di immagazzinamento di carica di uno strato di intrappolamento carica (tipicamente costituito da nitrato di silicio). Ciò
25 tuttavia non deve essere inteso come una limitazione della

presente invenzione, che può essere applicata a tipi diversi di memoria elettricamente cancellabile e programmabile, ed in particolare a memorie Flash aventi celle di memoria con un gate flottante conduttivo.

5 La memoria comprende una matrice 101 di celle di memoria (ciascuna cella di memoria essendo identificata da MC in Fig. 2), disposte per righe e colonne.

Le celle di memoria che appartengono ad una stessa riga della matrice sono connesse ad una medesima linea di parola
10 ("word line") di una pluralità di linee di parola WL1 - WLn.
Le celle di memoria che appartengono ad una colonna della matrice sono collegabili ad una rispettiva coppia di linee di bit ("bit line") di una pluralità di coppie di linee di bit BL1a, BL1B - BLna, BLnb mediante un circuito di
15 selezione di colonna di celle di memoria (non visibile in questa figura). Le linee di bit BL1a, BL1B - BLna, BLnb sono comuni all'intera matrice 101, e saranno chiamate linee di bit principali.

Sono previsti un selettore di linea di parola 103 ed un
20 selettore di linea di bit principale 105 per selezionare le linee di parola WL1 - WLn e, rispettivamente, le linee di bit principali BL1a, BL1B - BLna, BLnb, per effettuare le operazioni desiderate (lettura, programmazione, cancellazione) sulle celle di memoria che appartengono
25 alla(e) linea(e) di parola e alla(e) linea(e) di bit

principale(i) selezionata(e). Il selettore di linea di parola 103 ed il selettore di linea di bit 105 sono alimentati con segnali di indirizzo di riga RADD e segnali di indirizzo di colonna CADD, rispettivamente; i segnali di indirizzo di riga RADD ed i segnali di indirizzo di colonna CADD recano rispettivi codici binari che identificano una linea di parola ed una coppia (od un gruppo di coppie, in funzione dal grado di parallelismo della memoria) di linee di bit principali, rispettivamente.

10 Il selettore di linea di parola 103 comprende una pluralità di blocchi selettori di linea di parola 1031 - 103p, ciascuno associato con un rispettivo gruppo o pacchetto di linee di parola WL1 - WLk, ..., WLq - WLn. Ciascun pacchetto di linee di parola definisce una
15 rispettiva porzione o sotto-matrice 1011 - 101p di celle di memoria nella matrice di celle di memoria 101.

Ciascun blocco selettore di linea di parola 1031 - 103p comprende un selettore di pacchetto di linee di parola 107 che genera un rispettivo segnale di selezione di pacchetto
20 di linee di parola PSS1 - PSSp. Il selettore di pacchetto di linee di parola 107 include un decodificatore di primo livello (non esplicitamente mostrato in Fig. 1) alimentato da un primo sottoinsieme RADD1 dei segnali di indirizzo di riga.

25 In ciascun blocco selettore di linea di parola 1031 -

103p, il segnale di selezione di pacchetto di linee di parola PSS1 - PSSp, generato dal rispettivo selettore di pacchetto di linee di parola 107, alimenta un demultiplexer di linea di parola 111, che permette di selezionare singole
5 linee di parola nel pacchetto di linee di parola associato. Il demultiplexer 111 opera una selezione delle linee di parola nel pacchetto di linee di parola associato sulla base di segnali di selezione di linea di parola WLSS, generati da un decodificatore di secondo livello 113 comune a tutti i
10 blocchi selettori di linea di parola 1031 - 103p ed alimentato da un secondo sottoinsieme RADD2 dei segnali di indirizzo di riga RADD.

In ciascun blocco selettore di linea di parola 1031 - 103p, il segnale di selezione di pacchetto di linee di parola PSS1 - PSSp che alimenta il rispettivo demultiplexer
15 di linea di parola 111 alimenta anche un circuito di controllo di selezione di linea di bit locale 115, che genera segnali di controllo di selezione di linea di bit locale S11 - S41,..., S1p - S4p che controllano un selettore
20 di linea di bit locale (visibile in Fig. 2 ed ivi identificato con 201); il selettore di linea di bit locale 201 permette di selezionare linee di bit locali nella rispettiva sotto-matrice 1011 - 101p. Il circuito di controllo di selezione di linea di bit locale 115 opera
25 sulla base di segnali di selezione di linea di bit locale

LBLS, generati dal decodificatore di secondo livello 113.

Facendo ora riferimento a **Fig. 2**, è mostrata in dettaglio una generica sotto-matrice di celle di memoria 1011 - 101p, nell'esempio la sotto-matrice di celle di memoria 1011, associata al blocco selettore di linea di parola 1031. Le celle di memoria **MC** che appartengono ad una stessa riga della matrice hanno un elettrodo di controllo connesso ad una stessa linea di parola del pacchetto di linee di parola **WL1 - WLk**. La sotto-matrice di celle di memoria include una pluralità di linee di bit locali **LBL**. Le celle di memoria che appartengono ad una stessa colonna della matrice hanno un primo elettrodo connesso ad una prima linea di bit locale ed un secondo elettrodo connesso ad una seconda linea di bit locale. La prima linea di bit locale è collegabile ad una linea di bit principale di una rispettiva coppia di linee di bit principali **BL1a, BL1B, ..., BLna, BLnb** mentre la seconda linea di bit locale è collegabile all'altra linea di bit principale della coppia di linee di bit principali. Eccezion fatta per le linee di bit locali poste ai bordi della sotto-matrice di celle di memoria, ciascuna linea di bit locale è condivisa da due colonne adiacenti di celle di memoria.

Coppie di linee di bit locali alternate sono associate ad una stessa linea di bit principale di una coppia di linee di bit principali. Il selettore di linea di bit locale 201

permette di connettere selettivamente a ciascuna linea di bit principale una o l'altra, o nessuna delle due linee di bit locali ad essa associate. Il selettore di linea di bit locale 201 comprende interruttori, ad esempio MOSFET a canale N, controllati dai segnali di controllo di selezione di linea di bit locale S11 - S41 generati dal circuito di controllo di selezione di linea di bit locale 115.

Ogni linea di bit principale può comportarsi come una linea di source o una linea di drain per le celle di memoria, alle quali si può dunque accedere da lati mutuamente opposti; questa architettura è necessaria per celle di memoria a doppio bit, che necessitano un'inversione nelle funzioni di source/drain degli elettrodi nelle operazioni di lettura e programmazione.

Le linee di bit locali sono costituite da diffusioni nello strato di semiconduttore nel quale sono formate le celle di memoria; le linee di bit principali sono invece linee metalliche.

Andando ora a Fig. 3, è mostrato un diagramma circuitale particolareggiato di uno dei summenzionati selettori di pacchetto di linee di parola 107, ad esempio il selettore di pacchetto di linee di parola del blocco selettore di linea di parola 1031, secondo una forma di realizzazione pratica della presente invenzione.

Il decodificatore di primo livello nel selettore di

pacchetto di linee di parola 107 è raffigurato schematicamente come una porta logica NAND 399, alimentata da una rispettiva combinazione di versioni vere e complementate RADD1, RADD1# del primo sottoinsieme di
5 segnali di indirizzo di riga RADD. Chiaramente, considerazioni progettuali suggeriscono che quando il numero di segnali di indirizzo di riga è elevato, due o più livelli di porte logiche con pochi ingressi sono preferiti ad una sola porta logica con molti ingressi.

10 Mezzi interruttore 301, nella forma di realizzazione pratica mostrata costituiti da una porta di trasferimento, permettono di collegare selettivamente un'uscita della porta NAND 399 alla linea di segnale di selezione di pacchetto PSS1, ossia agli ingressi del demultiplexer di linea di
15 parola 111 e del circuito di controllo di selezione di linea di bit locale 115. Il selettore di pacchetto di linee di parola 107 include anche un flip-flop set-reset 303 che comprende un circuito latch 305 formato da due invertitori CMOS collegati in modo incrociato, un percorso circuitale di
20 impostazione del flip-flop 307, connesso ad un primo terminale (terminale di impostazione) del circuito latch 305, ed un percorso circuitale di azzeramento del flip-flop 309, connesso ad un secondo terminale (terminale di azzeramento) del circuito latch 305. Il percorso circuitale
25 di impostazione 307 comprende due MOSFET a canale P

collegati in serie 311 e 313, connessi in serie tra una
linea di tensione di alimentazione VDD ed il primo terminale
del circuito latch 305. Il MOSFET 311 è controllato da un
segnale di impostazione del flip-flop LD-ER, comune a tutti
5 i blocchi selettori di linea di parola 1031 - 103p, mentre
il MOSFET 313 ha il gate collegato alla linea di segnale di
selezione di pacchetto PSS1. Il percorso circuitale di
azzeramento 309 comprende due MOSFET a canale P collegati in
serie 315 e 317, connessi tra la linea di tensione di
10 alimentazione VDD ed il secondo terminale del circuito latch
305. Il MOSFET 315 è controllato da un segnale di
azzeramento del flip-flop ER-REM, comune a tutti i blocchi
selettori di linea di parola 1031 - 103p; il MOSFET 317 ha
il gate connesso all'uscita della porta NAND 399. Il primo
15 terminale del circuito latch 305 è anche accoppiato alla
linea di segnale di selezione di pacchetto PSS1 attraverso
un buffer tri-state invertente 319. La porta di
trasferimento 301 ed il buffer tri-state invertente 319 sono
attivati in maniera mutuamente alternativa da un segnale di
20 controllo ER-P/VFY, comune a tutti i blocchi selettori di
linea di parola 1031 - 103p.

Il selettore di linea di parola 103 include anche un
registro di stato 351 che, benché mostrato in Fig. 3 in
associazione al selettore di pacchetto di linee di parola
25 107, è comune a tutti i blocchi selettori di linea di parola

1031 - 103p. Il registro di stato 351 include un circuito latch 353, mezzi interruttore 355 (nell'esempio mostrato costituiti da una porta di trasferimento) controllati da un segnale di caricamento del registro di stato VFY, per
5 connettere selettivamente un terminale di impostazione del circuito latch 353 ad una linea di segnale 357 comune a tutti i blocchi selettori di linea di parola 1031 - 103p. In ciascun selettore di pacchetto di linee di parola 107 di ciascun blocco selettore di linea di parola 1031 - 103p,
10 mezzi interruttore 359 (nell'esempio mostrato costituiti da un MOSFET a canale P) controllati dall'uscita della rispettiva porta NAND 399 (ossia, il decodificatore di primo livello) permettono di collegare selettivamente la linea di segnale comune 357 alla linea di segnale di selezione di
15 pacchetto PSS1. Una linea di segnale d'uscita VFY-OK del registro di stato 351 reca lo stato del registro di stato 351.

Riferendosi ora a Fig. 4, è mostrato un diagramma circuitale particolareggiato di un demultiplexer di linea di
20 parola 111 e di un circuito di controllo di selezione di linea di bit locale 115 di un generico blocco selettore di linea di parola 1031 - 103p, secondo una forma di realizzazione pratica della presente invenzione; in particolare, è preso ad esempio il blocco selettore di linea
25 di parola 1031.

Nella forma di realizzazione pratica mostrata, il demultiplexer di linea di parola 111 è un demultiplexer a due livelli. Un primo livello di demultiplessaggio permette di selezionare un sotto-pacchetto di linee di parola nel pacchetto di linee di parola, ad esempio il sotto-pacchetto di linee di parola $WL1 - WL(1+y)$; un secondo livello di demultiplessaggio permette di selezionare una linea di parola entro il sotto-pacchetto di linee di parola selezionato. Il primo ed il secondo livello di demultiplessaggio sono rispettivamente controllati da segnali di controllo di demultiplessaggio di primo e secondo livello $Q1 - Qx$, $P1 - Py$, costituenti nel complesso i segnali di selezione di linea di parola $WLSS$ generati dal decodificatore di secondo livello 113. Considerazioni di progetto suggeriscono che il numero di livelli di demultiplessaggio può essere maggiore o minore, e dipende dal numero di linee di parola. Un solo livello di demultiplessaggio è invece implementato dal circuito di controllo di selezione di linea di bit locale 115, controllato da segnali $LBS1 - LBS4$, costituenti nel loro insieme i segnali di selezione di linea di bit locale LBS generati dal decodificatore di secondo livello 113.

Circuiti di pilotaggio finale 401 sono previsti all'uscita del demultiplexer di linea di parola 111 e del circuito di controllo di selezione di linea di bit locale

115, per pilotare le linee di parola e le linee di segnale S11 - S41. Come mostrato in Fig. 5, ciascun circuito di pilotaggio finale 401 comprende un invertitore CMOS 501 che riceve una tensione di alimentazione da una linea di tensione di alimentazione VPD commutabile tra la tensione di
5 alimentazione VDD, usata durante un'operazione di lettura, ed una tensione di alimentazione più elevata, usata durante un'operazione di programmazione delle celle di memoria. E' previsto un elemento controllato in retroazione 503,
10 nell'esempio mostrato costituito da un MOSFET a canale P connesso tra l'ingresso dell'invertitore 501 e la linea di tensione di alimentazione VPD, con gate connesso all'uscita dell'invertitore 501. E' inoltre previsto un elemento di riposizionamento, nell'esempio mostrato formato da un MOSFET
15 a canale P 505 connesso in parallelo al MOSFET 503, e con gate connesso ad una linea di segnale RST comune a tutti il circuiti di pilotaggio finale 401 del blocco selettore di linea di parola 1031. La linea di segnale RST è controllata da un circuito 403, comune a tutti i circuiti di pilotaggio
20 finale del blocco selettore di linea di parola 1031. Il circuito 403 comprende un invertitore CMOS formato da MOSFET 405 e 407 relativamente resistivi, connessi tra la linea di tensione di alimentazione VPD e la linea di segnale di selezione di pacchetto PSS1, e controllato da un segnale di
25 controllo PL che è globale e comune a tutti i blocchi

selettori di linea di parola 1031 - 103p.

In Fig. 6 è raffigurata una forma di realizzazione pratica alternativa 403' del circuito 403. In questa forma di realizzazione pratica alternativa, due MOSFET 405' e
5 407', rispettivamente a canale P e canale N, sono connessi in serie tra la linea di tensione di alimentazione VPD e la rispettiva linea di segnale di selezione di pacchetto di linee di parola PSS1. Invece di essere connessi in una configurazione di invertitore CMOS, il MOSFET 405' è
10 connesso a diodo.

Come schematicamente mostrato in Fig. 4, un circuito di controllo della memoria 701, per esempio tale da implementare una macchina a stati, genera i segnali di controllo LD-ER, ER-P/VFY, ER-REM, VFY, PL secondo una
15 tempistica prescritta. Il circuito di controllo 701 riceve comandi per la memoria CMD, forniti alla memoria dall'esterno, che determinano il funzionamento della memoria. Attraverso un multiplexer 703, i segnali di indirizzo di riga e di colonna RADD e CADD possono essere
20 selezionati fra segnali di indirizzo ADD forniti alla memoria dall'esterno, e segnali di indirizzo generati internamente alla memoria dal circuito di controllo della memoria 701; ciò permette alla memoria di effettuare autonomamente operazioni che comportano la generazione di
25 sequenza di indirizzi. I segnali di indirizzo di riga e di

colonna RADD e CADD alimentano anche un convenzionale circuito rilevatore di transizione di indirizzo 703 della memoria, che genera un impulso di rilevamento di transizione di indirizzo di transizione di indirizzo ATD ogni qualvolta un è rilevato un nuovo indirizzo; L'impulso di rilevamento di transizione di indirizzo ATD alimenta il circuito di controllo della memoria 701. Il circuito di controllo 701 è alimentato anche dal segnale VFY-OK che reca lo stato immagazzinato nella registro di stato 351.

10 Il funzionamento del selettore di linea di parola sarà ora illustrato.

Quando la memoria deve condurre operazioni di lettura e di programmazione sulla disposizione di celle di memoria 101, il demultiplexer di linea di parola 111 ed il circuito di controllo di selezione di linea di bit locale 115 in ogni blocco selettore di linea di parola 1031 - 103p sono alimentati con l'uscita della porta NAND 399. A questo scopo, il segnale ER-P/VFY è tenuto deassertito (livello logico basso, corrispondente alla tensione di riferimento o massa GND), così che in ciascun blocco selettore di linea di parola 1031 - 103p la porta di trasferimento 301 connette l'uscita della porta NAND 399 alla rispettiva linea di segnale PSS1 - PSSp; allo stesso tempo, il buffer tri-state invertente 319 è posto in una condizione di alta impedenza, per cui il flip-flop 303 è isolato dalla linea di segnale

15
20
25

PSS1 - PSSp.

In funzione dei segnali di indirizzo di riga correnti RADD, l'uscita di una delle porte NAND 399, e quindi una delle linee di segnale di selezione di pacchetto di linee di parola PSS1 - PSSp, è asserita (livello logico basso), uno dei segnali Q1 - Qx è asserito (livello logico alto), e uno dei segnali P1 - Py è asserito (livello logico alto), così che una delle linee di parola WL1-WLm è selezionata. Il potenziale della linea di parola selezionata è portato dal rispettivo circuito di pilotaggio finale 401 alla tensione di alimentazione VPD, il cui valore dipende dall'operazione da eseguire (lettura o scrittura), mentre il potenziale di tutte le rimanenti linee di parola è tenuto a terra.

Come schematicamente mostrato in Fig. 8A, quando l'indirizzo della locazione di memoria cui accedere in lettura o scrittura è posto sulle linee di segnale di indirizzo di riga e di colonna RADD e CADD, il nuovo indirizzo è rilevato dal circuito rilevatore di transizione di indirizzo 705, che genera un impulso di rilevamento di transizione di indirizzo ATD. Di conseguenza, il circuito di controllo 701 produce un breve impulso a livello logico "1" sulla linea di segnale PL, che fa sì che l'invertitore 403 in ciascun blocco selettore di linea di parola 1031 - 103p porti i gate (linea di segnale RST) dell'elemento di riposizionamento (il MOSFET a canale P 505) dei circuiti di

pilotaggio finale 401 verso lo stato logico della rispettiva linea di segnale di selezione di pacchetto di linee di parola PSS1 - PSSp. Nel blocco selettore di linea di parola associato al pacchetto di linee di parola selezionato, il MOSFET a canale P 505 di tutti i circuiti di pilotaggio finale 401 sono così accesi, e tutte le rispettive linee di parola, così come le linee di segnale S11 - S41, sono riposizionate al potenziale di massa. La durata dell'impulso PL dovrà essere sufficiente a far sì che il potenziale della linea RST scenda al di sotto della tensione di soglia V_{tp} del MOSFET a canale P 505. Le dimensioni relative dei MOSFET 405 e 407 e la durata dell'impulso PL sono ad esempio tali che il potenziale della linea RST scende dalla tensione di alimentazione VDD fino alla metà di tale valore.

Si fa rilevare che gli elementi di riposizionamento 505 sono normalmente spenti, e vengono accesi solamente per un breve intervallo di tempo per riposizionare i rispettivi circuiti di pilotaggio finale. Questo vuole dire che gli elementi di riposizionamento non assorbono corrente statica.

Il comportamento della forma di realizzazione pratica alternativa 403' del circuito 403 è raffigurato schematicamente in Fig. 8B. In questo caso, il MOSFET a canale P collegato a diodo 405' normalmente mantiene il potenziale della linea RST a circa V_{tp} , ossia la tensione di soglia del MOSFET a canale P 505; quest'ultimo non è quindi

completamente spento, come nel caso precedente, ma comunque assorbe una corrente di sottosoglia molto piccola. In occasione dell'impulso PL, il MOSFET a canale N 407' viene acceso, e se la rispettiva linea di segnale di selezione di pacchetto di linee di parola PSS1 - PSSp è asserita, il
5 potenziale della linea RST scende leggermente dal valore Vtp, accendendo i MOSFET a canale P 505.

Rispetto alla forma di realizzazione pratica precedente, questa forma di realizzazione pratica
10 alternativa è meno sensibile al valore della tensione di alimentazione VDD.

Si fa rilevare che in entrambe le forme di realizzazione, i MOSFET a canale P 505 che sono accesi, e quindi assorbono corrente, sono solamente quelli associati
15 ai circuiti di pilotaggio finale nel blocco selettore di linea di parola associato al pacchetto di linee di parola selezionato.

Si ipotizzi ora che una certa cella di memoria debba essere cancellata, per esempio una cella di memoria facente
20 parte di una linea di parola del pacchetto di linee di parola WL1 - WLk, ossia della sotto-matrice 1011. Prima di avviare l'operazione di cancellazione, il flip-flop 303 nel blocco selettore di linea di parola 1031 associato a tale pacchetto di linee di parola è impostato. Il segnale LD-ER è
25 asserito (livello logico basso), così che il MOSFET 311 è

acceso ed abilita il percorso circuitale di impostazione 307.. Nel blocco selettore di linea di parola 1031, associato al pacchetto di linee di parola indirizzato WL1 - WLk che contiene la cella di memoria da cancellare, l'uscita della
5 porta NAND 399 è asserita (livello logico basso). Il MOSFET 313 è acceso, ed un livello logico alto è portato sul terminale di impostazione del circuito latch 305 attraverso il percorso circuitale di impostazione 307. Il flip-flop 303 è così impostato ad un "1" logico. Negli altri blocchi
10 selettori di linea di parola, associati a pacchetti di linea di parola non indirizzati, l'uscita delle rispettive porte NAND 399 è deasserita (livello logico alto); i MOSFET 313 dei rispettivi percorsi circuitali di impostazione sono così spenti ed i percorsi circuitali di impostazione rimangono
15 disabilitati, così che i rispettivi flip-flop 303 non vengono impostati.

Se più celle di memoria che appartengono a pacchetti di linee di parola diversi devono essere cancellate, i diversi pacchetti di linee di parola sono indirizzati in sequenza
20 (per esempio, il circuito di controllo della memoria 701 genera in sequenza i diversi indirizzi), ed i flip-flop 303 nei blocchi selettori di linea di parola associati sono tutti impostati.

Dopo avere impostato i flip-flop 303 in tutti i blocchi
25 selettori di linea di parola associati a pacchetti di linee

di parola che includono celle di memoria da cancellare, il segnale **ER-P/VFY** è asserito (livello logico alto). La porta di trasferimento **301** è disabilitata, ed il buffer tri-state invertente **319** è abilitato. In tutti i blocchi selettori di
5 linea di parola **1031 - 103p**, attraverso il buffer tri-state invertente **319**, uno stato logico uguale al complemento logico dello stato logico contenuto nel flip-flop **303** è portato sulla linea di segnale di selezione di pacchetto di linee di parola **PSS1 - PSSp**, ossia sugli ingressi del
10 demultiplexer di linea di parola **111** e del circuito di controllo di selezione di linea di bit locale **115**. Se nella fase precedente lo stato del flip-flop **303** è stato impostato ad un "1" logico, uno "0" logico è posto sugli ingressi del demultiplexer di linea di parola **111** e del circuito di
15 controllo di selezione di linea di bit locale **115**.

Nell'architettura di matrice qui descritta a titolo di esempio, durante l'operazione di cancellazione tutte le linee di parola **WL1 - WLm** della disposizione **101** sono polarizzate a massa (tutti i segnali **Q1 - Qx**, **P1 - Py** che
20 provengono dal decodificatore di secondo livello **113** sono tenuti al livello logico basso); in altre parole, il livello logico basso all'ingresso del demultiplexer di linea di parola **111** nei blocchi selettori di linea di parola associati a pacchetti di linea di parola da cancellato non
25 influenza i potenziali delle linee di parola. I segnali

LBLS1 - LBLS4 sono invece tutti asseriti (livello logico alto), per cui tutti i circuiti di pilotaggio finale 401 che pilotano le linee di segnale di controllo di selezione di linea di bit locale S11 - S41,..., S1p - S4p sono connessi
5 alle rispettive linee di segnale PSS1 - PSSp. Nel blocco o nei blocchi selettori di linea di parola associati a pacchetti di linee di parola da cancellare, lo stato logico "1" immagazzinato nel flip-flop 303 fa sì che la rispettiva linea di segnale PSS1 - PSSp sia uno "0" logico, così che i
10 rispettivi segnali di controllo della selezione delle linee di bit locali sono tutti portati ad un "1" logico; tutte le linee di bit locali sono così connesse alle rispettive linee di bit principali. Il selettore di linea di bit principale 105 polarizza le linee di bit principali ai potenziali
15 richiesti per cancellare le celle di memoria. Nei blocchi selettori di linea di parola associati a pacchetti di linee di parola che non devono essere cancellati, lo stato logico "0" immagazzinato nel flip-flop 303 fa sì che l'ingresso del
rispettivo circuito di controllo della selezione delle linee
20 di bit locali 115 sia posto ad un "1" logico, così che tutti i segnali di controllo di selezione delle linee di bit locali sono tenuti a massa; le linee di bit locali sono così isolate dalle linee di bit principali.

Chiaramente, schemi di cancellazione diversi sono
25 possibili, in funzione ad esempio dell'architettura di

matrice e del tipo di celle di memoria.

L'operazione di cancellazione è eseguita in parallelo su tutti i pacchetti di linee di parola selezionati per la cancellazione, conformemente allo stato logico memorizzato
5 nel flip-flop 303 nei blocchi selettori di linea di parola associati.

Dopo un primo impulso di cancellazione, viene condotta un'operazione di verifica della cancellazione, per accertare se le celle di memoria dei pacchetti di linee di parola
10 selezionati sono state cancellate o meno. Tutti i pacchetti di linee di parola sono indirizzati in sequenza, a cominciare ad esempio dal primo. Quando un pacchetto di linee di parola è indirizzato, l'uscita della porta NAND 399 associata è asserita (livello logico basso); il MOSFET 359 è
15 così acceso, e la linea di segnale 357 è connessa al rispettivo segnale di selezione di pacchetto di linee di parola PSS1 - PSSp. Il segnale ER-P/VFY è asserito (livello logico alto), così che il complemento logico dello stato immagazzinato nel flip-flop 303 è posto sulla linea di
20 segnale PSS1 - PSSp. Viene poi asserito il segnale VFY (livello logico alto), per abilitare il caricamento nel flip-flop di stato 353 di uno stato presente sulla linea 357, che è il complemento logico dello stato immagazzinato nel flip-flop 303. Poi, prima di avviare l'operazione di
25 verifica della cancellazione sulle celle di memoria che

appartengono al pacchetto di linee di parola indirizzato, si
accerta lo stato logico del segnale **VFY-OK**; lo stato logico
del segnale **VFY-OK** coincide con lo stato immagazzinato nel
flip-flop 303. Se lo stato logico del segnale **VFY-OK** è un
5 "1" logico, il che significa che il pacchetto di linee di
parola è stato sottoposto ad un impulso di cancellazione,
sulle celle di memoria del pacchetto di linee di parola è
condotta una verifica della cancellazione: tutte le celle di
memoria del pacchetto di linee di parola sono lette; se
10 invece lo stato logico del segnale **VFY-OK** è uno "0" logico,
l'operazione di verifica della cancellazione su tale
pacchetto di linea di parola non viene condotta e viene
indirizzato il successivo pacchetto di linee di parola.

Se la verifica della cancellazione condotta sulle celle
15 di memoria del pacchetto di linee di parola fornisce un
risultato positivo (il che significa che tutte le celle di
memoria sono state cancellate), il flip-flop 303 è
reimpostato ad uno "0" logico. A tal fine, il segnale **ER-REM**
è asserito (livello logico basso), così che il terminale di
20 azzeramento del circuito latch 305 è connesso alla linea di
tensione di alimentazione **VDD**. In questo modo, nessun'altro
impulso di cancellazione sarà applicato alle celle di
memoria di quel pacchetto di linee di parola. Altrimenti, il
flip-flop 303 è lasciato impostato, ed uno o più impulsi di
25 cancellazione supplementari saranno applicati alle celle di

memoria.

Si fa notare che il selettore di linea di parola 103 non solo permette di condurre una cancellazione selettiva in parallelo sulle celle di memoria che appartengono ad uno o
5 più pacchetti di linee di parola. Qualora si desiderasse eseguire una cancellazione globale sull'intera matrice 101 di celle di memoria, ciò può essere effettuato impostando allo stesso tempo tutti i flip-flop 303 in tutti i blocchi selettori di linea di parola 1031 - 103p; a questo scopo, il
10 circuito di controllo della memoria 701 può forzare tutti i segnali di indirizzo di riga veri e complementati RADD1, RADD1# a "1". Quando il segnale LD-ER è asserito, tutti i flip-flop 303 sono così impostati. Anche in questo caso, impulsi di cancellazione supplementari sono applicati
15 selettivamente soltanto alle celle di memoria dei pacchetti di linee di parola che, nella fase di verifica della cancellazione, risultano essere non ancora cancellati.

E' possibile apprezzare che il selettore di linea di parola secondo la forma di realizzazione descritta della
20 presente invenzione permette di implementare una cancellazione selettiva delle celle di memoria nella matrice di celle di memoria 101. In particolare, la selettività di cancellazione è per gruppi o pacchetti di linee di parola; chiaramente, meno sono le linee di parola in ciascun
25 pacchetto, più elevata è la selettività.

Grazie al selettore di linea di parola secondo la forma di realizzazione descritta della presente invenzione, la selettività in cancellazione è conseguita in modo piuttosto semplice. Selettori di linea di parola che hanno almeno un
5 decodificatore di primo livello ed un decodificatore di secondo livello sono infatti normalmente previsti, perciò la realizzazione della presente invenzione richiede modifiche minime al consueto progetto del selettore di linea di parola.

10 In particolare, il selettore di linea di parola secondo la forma di realizzazione descritta della presente invenzione permette di implementare un semplice schema di settorizzazione della memoria: ciascun gruppo di linee di parola può infatti essere considerato come un settore della
15 memoria, cancellabile individualmente e indipendentemente dagli altri settori

Il selettore di linea di parola secondo la forma di realizzazione descritta della presente invenzione permette anche di implementare una efficiente procedura di verifica
20 della cancellazione che, mediamente, riduce il numero di impulsi di cancellazione inutilmente applicati alle celle di memoria. Questo ha un impatto significativo sull'invecchiamento della memoria, ed aumenta il numero di cicli di scrittura/cancellazione che la memoria può
25 sostenere.

Si sottolinea che le linee di parola nei pacchetti di linee di parola non devono essere fisicamente consecutive. Schemi di rimescolatura della corrispondenza fra indirizzi e linee di parola possono essere implementati.

5 L'invenzione può essere applicata a qualsiasi tipo di memoria cancellabile elettricamente, indipendentemente dalla architettura della matrice di celle di memoria (che non necessariamente deve prevedere bit line principali e locali) e dello schema di cancellazione adottato (che può ad esempio
10 prevedere di polarizzare a potenziale negativo le linee di parola contenenti le celle di memoria da cancellare). Ancor più in generale, l'invenzione è applicabile alla selezione di linee (righe o colonne) di una qualsivoglia matrice di elementi di memoria.

15 La struttura dei circuiti 403 e 403' per riposizionare i circuiti di pilotaggio finale 401 è di per sé vantaggiosa. Essi non introducono consumo statico e, quando attivati, soltanto un sottoinsieme dei circuiti di pilotaggio viene azzerato, limitando il consumo dinamico. Incidentalmente, si
20 sottolinea che uno qualunque di questi due circuiti può essere utilizzato anche in un contesto di selettore di word line in cui i flip-flop 303 non siano previsti, e non solo in memorie non-volatili cancellabili elettricamente, ma in generale in qualunque tipo di memorie a semiconduttore.

25 Sebbene la presente invenzione sia stata descritta

mediante una sua forma di realizzazione pratica, è chiaro ai tecnici del ramo che sono possibili molte modifiche alla forma di realizzazione pratica descritta, così come altre forme di realizzazione della presente invenzione, senza
5 fuoriuscire dall'ambito di tutela definito nelle seguenti rivendicazioni.

In particolare, la struttura dei flip-flop 303 e 305 può essere diversa, o si possono sfruttare celle di memoria programmabili e cancellabili elettricamente.

10 Inoltre, invece di una singola linea di segnale 357 condivisa da tutti i blocchi selettori di linea di parola, può essere prevista una pluralità di linee di segnale, ciascuna associata ad uno o ad un gruppo di blocchi selettori di linea di parola.

15

RIVENDICAZIONI

1. Un selettore di linea di una matrice di elementi di memoria, comprendente

5 una pluralità di circuiti di selezione di gruppi di linee della matrice (1031-103p,107,399), ciascuno dei quali permette la selezione (PSS1-PSSp) di un rispettivo gruppo di linee (WL1-WLk,...,WLq-WLm) in accordo ad un primo indirizzo (RADD1), ciascun gruppo di linee includendo almeno una linea
10 della matrice,

caratterizzato dal fatto di comprendere

mezzi segnalatori (303) associati a ciascun gruppo di linee, che possono essere impostati (307,LD-ER) per dichiarare uno stato di pendenza di un'operazione prescritta
15 che deve essere condotta sul rispettivo gruppo di linee, e

mezzi (301,319) per affidare ai mezzi segnalatori la selezione del rispettivo gruppo di linee durante l'esecuzione dell'operazione prescritta (ER-P/VFY), in alternativa al rispettivo circuito di selezione di gruppo di
20 linee, i mezzi segnalatori abilitando, quando impostati, l'esecuzione dell'operazione prescritta sul rispettivo gruppo di linee.

2. Il selettore di linea secondo la rivendicazione 1,
25 in cui le linee della matrice sono linee di parola.

3. Il selettore di linea secondo la rivendicazione 2, in cui l'operazione prescritta è un'operazione di cancellazione degli elementi di memoria.

5

4. Il selettore di linea secondo la rivendicazione 3, in cui i mezzi segnalatori sono azzerati (309,ER-REM) dopo che il rispettivo gruppo di linee di parola è stato cancellato.

10

5. Il selettore di linea secondo la rivendicazione 4, in cui i mezzi segnalatori sono azzerati dopo che il rispettivo gruppo di linee di parola ha superato un'operazione verifica della cancellazione.

15

6. Il selettore di linea secondo la rivendicazione 5, comprendente mezzi di impostazione (307) e mezzi di azzeramento (309), associati a ciascuno dei mezzi segnalatori per impostare e, rispettivamente, azzerare gli associati mezzi segnalatori, i mezzi di impostazione ed i mezzi di azzeramento essendo abilitati dal rispettivo circuito di selezione di gruppo di linee in accordo al primo indirizzo.

25

7. Il selettore di linea secondo una qualunque delle

rivendicazioni da 2 a 6, in cui i mezzi segnalatori comprendono un flip-flop set-reset.

8. Il selettore di linea secondo una qualunque delle
5 rivendicazioni da 2 a 7, in cui i mezzi per affidare ai mezzi segnalatori la selezione del rispettivo gruppo di linee durante l'esecuzione dell'operazione prescritta comprendono mezzi (301) per disconnettere il circuito di
10 selezione di gruppo di linee da una rispettiva linea di segnale di selezione di gruppo di linee (PSS1-PSSp), e mezzi (319) per trasferire sulla linea di segnale di selezione di gruppo di linee uno stato corrispondente a quello dei rispettivi mezzi segnalatori.

15 9. Il selettore di linea secondo una qualunque delle rivendicazioni da 2 a 8, comprendente una pluralità di circuiti di selezione di linea di parola (111), ciascuno associato ad un rispettivo circuito di selezione di gruppo di linee per permettere la selezione di almeno una linea di
20 parola entro un rispettivo gruppo di linee di parola, in accordo ad un secondo indirizzo (RADD2), i circuiti di selezione di linea di parola comprendendo circuiti di pilotaggio di linea di parola (401) per pilotare potenziali delle linee di parola.

10. Il selettore di linea secondo la rivendicazione 9, in cui un circuito di riposizionamento dei circuiti di pilotaggio di linea di parola (403;403') è associato a ciascun circuito di selezione di gruppo di linee, ed è
5 attivabile (PL) per riposizionare i circuiti di pilotaggio di linea di parola dell'associato circuito di selezione di linea di parola.

11. Il selettore di linea secondo la rivendicazione 10,
10 in cui il circuito di riposizionamento dei circuiti di pilotaggio di linea di parola, quando attivato, riposiziona solamente i circuiti di pilotaggio di linea di parola dell'associato circuito di selezione di linea di parola se il rispettivo gruppo di linee di parola è selezionato.

15

12. Un metodo per eseguire un'operazione prescritta su una matrice di elementi di memoria, comprendente:

provvedere un selettore di linea avente una pluralità di circuiti di selezione di gruppi di linee (1031-103p,107),
20 ciascuno dei quali permette la selezione (PSS1-PSSp) di un rispettivo gruppo di linee della matrice (WL1-WLk,...,WLq-WLm) in accordo ad un indirizzo (RADD1), ciascun gruppo di linee della matrice includendo almeno una linea,

caratterizzato dal fatto di comprendere
25 associare a ciascun gruppo di linee della matrice un

rispettivo segnalatore (303),

impostare selettivamente (307,LD-ER) almeno un
segnalatore, per dichiarare uno stato di pendenza
dell'operazione prescritta per il rispettivo gruppo di linee
5 della matrice, e

affidare ai segnalatori la selezione del rispettivo
gruppo di linee della matrice, in alternativa al rispettivo
circuito di selezione di gruppo di linee, l'almeno un
segnalatore impostato abilitando l'esecuzione
10 dell'operazione prescritta sul rispettivo gruppo di linee
della matrice.

13. Il metodo secondo la rivendicazione 12, in cui le
linee della matrice sono linee di parola.

15

14. Il metodo secondo la rivendicazione 13, in cui
l'operazione prescritta è un'operazione di cancellazione.

15. Il metodo secondo la rivendicazione 14, in cui
20 l'impostare l'almeno un segnalatore comprende il selezionare
il gruppo di linee della matrice attraverso il rispettivo
circuito di selezione di gruppo di linee.

16. Il metodo secondo la rivendicazione 15,
25 comprendente l'applicare almeno un impulso di cancellazione.

17. Il metodo secondo la rivendicazione 16, comprendente il verificare un esito dell'almeno un impulso di cancellazione accedendo alle linee di parola nel gruppo
5 di linee di parola associato all'almeno un segnalatore impostato.

18. Il metodo secondo la rivendicazione 17, in cui il verificare comprende il riposizionare l'almeno un
10 segnalatore impostato se l'esito dell'almeno un impulso di cancellazione è positivo.

19. Il metodo secondo la rivendicazione 18, in cui il riposizionare l'almeno un segnalatore impostato comprende il
15 selezionare il gruppo di linee di parola associato mediante il rispettivo circuito di selezione di gruppo di linee.

20. Il metodo secondo la rivendicazione 19, comprendente l'applicare impulsi di cancellazione
20 supplementari, e verificare l'esito di ciascun impulso di cancellazione supplementare, fino a che l'almeno un segnalatore impostato è riposizionato.

21. Una memoria comprendente una matrice di elementi di
25 memoria ed un selettore di linea (103) per selezionare linee

(WL1-WLm) della matrice,

caratterizzata dal fatto che

il selettore di linea è in accordo ad una qualunque
delle rivendicazioni da 1 a 11.

SELETTORE DI LINEA PER UNA MATRICE DI ELEMENTI DI MEMORIA

* * * * *

RIASSUNTO

Un selettore di linea per una matrice di elementi di
5 memoria, ad esempio un selettore di linea di parola,
comprende una pluralità di circuiti di selezione di gruppi
di linee della matrice (1031-103p,107,399), ciascuno dei
quali permette la selezione (PSS1-PSSp) di un rispettivo
gruppo di linee della matrice (WL1-WLk,...,WLq-WLm) in accordo
10 ad un indirizzo (RADD1); ciascun gruppo di linee della
matrice include almeno una linea della matrice. Mezzi
segnalatori (303) sono associati a ciascun gruppo di linee,
e possono essere impostati (307,LD-ER) per dichiarare uno
stato di pendenza di un'operazione prescritta, ad esempio
15 un'operazione di cancellazione, per il rispettivo gruppo di
linee della matrice. Sono previsti mezzi (301,319) per
affidare ai mezzi segnalatori la selezione del rispettivo
gruppo di linee durante l'esecuzione dell'operazione
prescritta (ER-P/VFY), in alternativa al rispettivo circuito
20 di selezione di gruppo di linee. I mezzi segnalatori
abilitano, quando impostati, l'esecuzione dell'operazione
prescritta sul rispettivo gruppo di linee della matrice.

(Fig. 3)

LINE SELECTOR FOR A MATRIX OF MEMORY ELEMENTS

* * * * *

The present invention generally relates to the field of semiconductor memories, particularly, but not exclusively, to non-volatile memories and even more particularly to non-volatile electrically erasable memories.

An important feature of non-volatile electrically erasable (and programmable) memories is the reliability towards multiple write/erase cycles.

10 Similarly to a write operation, an erase operation is normally carried out in a plurality of steps; each step provides for applying an erase pulse to the memory cells to be erased, and then verifying whether the memory cells have been erased or an additional erase pulse is required.

15 Normally, in a memory some memory cells are erased faster than others. While some memory cells require few erase pulses to be fully erased, other memory cells require several erase pulses.

Exception made for the EEPROMs, which features an erase selectivity, the erase operation has a global character, affecting at the same time a large number of memory cells. Due to this global character, it commonly happens that due to the presence of hard-to-erase memory cells, those memory cells that are instead erased faster are subjected to more erase pulses than what would be strictly necessary.

25

This causes an unnecessary stress on the memory cells. In electrically erasable memories having memory cells formed by MOS transistors with a conductive floating gate, the memory cells may enter a depletion condition, which needs to
5 be recovered by re-writing the memory cells; the erase time and the power consumption are thus increased. The situation is even worse in the case of memories having memory cells formed by MOS transistors with a charge-trapping layer, typically of silicon nitride (such as the transistors
10 exploited for forming dual-bit memory cells). In this case, at each erase pulse a certain amount charges gets trapped in the nitride layer; these trapped charges, which cannot be removed, induce in the course of the time a saturation condition, due to which the memory cells can be no more
15 subjected to write/erase cycles.

Despite the global character of the erase operation, it would therefore be desirable, and this has been an object of the present invention, to avoid, as far as possible, submitting the memory cells to unnecessary erase pulses, or
20 at least to limit the number of unnecessary erase pulses to which the already erased memory cells are submitted due to the presence of hard-to-erase memory cells.

According to an aspect of the present invention, this and other objects have been attained by means of a line
25 selector for a matrix of memory elements as set forth in

claim 1.

Summarising, the line selector comprises a plurality of matrix line group selection circuits, each one allowing the selection of a respective group of lines of the matrix according to an address; each matrix line group includes at least one matrix line.

Flag means are associated with each matrix line group, that can be set to declare a pending status of a prescribed operation for the respective line group.

Means are provided for entrusting the flag means with the selection of the respective line group during the execution of the prescribed operation, in alternative to the respective line group selection circuit, the flag means enabling, when set, the execution of the prescribed operation on the memory elements of the respective matrix line group.

According to an embodiment of the invention, the line selector selects word lines of the matrix of memory elements, and the prescribed operation is an erase operation.

According to another aspect of the present invention, there is provided a method of conducting a prescribed operation on a matrix of memory elements as set forth in claim 12.

Briefly stated, the method comprises providing a line

selector having a plurality of line group selection circuits, each one allowing the selection of a respective group of matrix lines according to an address; each matrix line group includes at least one matrix line.

5 Each matrix line group is associated with a respective flag.

At least one flag is selectively set, to declare a pending status of a prescribed operation for the respective matrix line group, and the flags are entrusted with the
10 selection of the respective matrix line group, in alternative to the respective matrix line group selection circuit. The at least one flag that has been set enables the execution of the prescribed operation on the respective word line group.

15 The features and advantages of the present invention will result apparent from the following detailed description of an embodiment thereof, made merely by way of non-limiting example in connection with the annexed drawings, wherein:

20 **FIG. 1** schematically shows the main blocks of a memory having a word line selector according to an embodiment of the present invention, made up of a plurality of word line selector blocks;

25 **FIG. 2** shows a portion of an array of memory cells of the memory of **FIG. 1**, namely the portion associated with one word line selector block;

FIG. 3 is a detailed circuit diagram of a word line packet selector of a generic word line selector block, according to an embodiment of the present invention;

FIG. 4 shows in detail a word line demultiplexer and a local bit line selection control circuit of a generic word line selector block;

FIG. 5 shows in detail a final driver circuit of the word line demultiplexer and the local bit line selection control circuit of FIG. 4;

FIG. 6 shows an alternative embodiment of a reset circuit for resetting the final driver circuits of the word line demultiplexer and the local bit line selection control circuit of FIG. 4;

FIG. 7 schematically shows a memory control circuit, controlling the operation of the word line selector; and

FIGS. 8A and 8B are simplified time diagrams showing the operation of the two alternative embodiments of the reset circuits.

Referring to the drawings, FIG. 1 shows schematically the relevant circuit blocks of an electrically erasable and programmable memory having a word line selector according to an embodiment of the present invention. In particular, and by way of example only, a memory with dual-bit memory cells is considered, i.e. a memory in which the memory cells are capable of storing two bits in two different charge-storage

areas of a charge-trapping layer (typically made of silicon nitride). This is however not to be intended as a limitation of the present invention, which can be applied to different types of electrically erasable and programmable memories, and particularly to Flash memories having memory cells with a conductive floating gate.

The memory comprises a matrix 101 of memory cells (each memory cell being identified by MC in FIG. 2), arranged by rows and columns.

10 The memory cells belonging to a same matrix row are connected to a same word line of a plurality of word lines WL1 - WLn. The memory cells belonging to a matrix column are connectable to a respective pair of bit lines of a plurality of pairs of bit lines B11a, B11b - B1na, B1nb, by means of a memory cell column selection circuit (not visible in this figure). The bit lines B11a, B11b - B1na, B1nb are common to 15 the whole matrix 101, and will be referred to as main bit lines.

A word line selector 103 and a main bit line selector 105 are provided for selecting the word lines WL1 - WLn and, 20 respectively, the main bit lines B11a, B11b - B1na, B1nb, in order to carry on the desired operations (read, program, erase) on the memory cells belonging to the selected word line(s) and main bit line(s). The word line selector 103 and 25 the bit line selector 105 are fed with row address signals

RADD and column address signals CADD, respectively; the row address signals RADD and the column address signals CADD carry respective binary codes, identifying one word line and one pair (or a group of pairs, depending on the degree of parallelism of the memory) of main bit lines, respectively.

The word line selector 103 comprises a plurality of word line selector blocks 1031 - 103p, each one associated with a respective group or packet of word lines WL1 - WLk, ..., WLq - WLn. Each word line packet defines a respective portion or sub-matrix 1011 - 101p of memory cells in the memory cell matrix 101.

Each word line selector block 1031 - 103p comprises a word line packet selector 107, generating a respective word line packet selection signal PSS1 - PSSp. The word line packet selector 107 includes a first-level decoder (not explicitly shown in FIG. 1) fed by a first subset RADD1 of the row address signals.

In each word line selector block 1031 - 103p, the word line packet selection signal PSS1 - PSSp, generated by the respective word line packet selector 107, feeds a word line demultiplexer 111, allowing to select individual word lines within the associated word line packet. The demultiplexer 111 operates a selection of the word lines within the associated word line packet on the basis of word line selection signals WLSS, generated by a second-level decoder

113 common to all the word line selector blocks 1031 - 103p and fed by a second subset RADD2 of the row address signals RADD.

In each word line selector block 1031 - 103p, the word
5 line packet selection signal PSS1 - PSSp that feeds the
respective word line demultiplexer 111 also feeds a local
bit line selection control circuit 115, generating local bit
line selection control signals S11 - S41,..., S1p - S4p that
control a local bit line selector (visible in FIG. 2 and
10 identified therein by 201); the local bit line selector 201
allows selecting local bit lines in the respective sub-
matrix 1011 - 101p. The local bit line selection control
circuit 115 operates on the basis of local bit lines
selection signals LBLS, generated by the second-level
15 decoder 113.

Referring now to FIG. 2, a generic memory cell sub-
matrix 1011 - 101p is shown in detail, in the example the
memory cell sub-matrix 1011, associated with the word line
selector block 1031. The memory cells MC belonging to a same
20 matrix row have a control electrode connected to a same word
line of the word line packet WL1 - WLk. The memory cell sub-
matrix includes a plurality of local bit lines LBL. The
memory cells belonging to a same matrix column have a first
electrode connected to a first local bit line and a second
25 electrode connected to a second local bit line. The first

local bit line is connectable to one main bit line of a respective main bit line pair **BL1a, BL1b,...,BLna, BLnb**, while the second local bit line is connectable to the other main bit line of the main bit line pair. Exception made for the
5 local bit lines located at the edges of the memory cells sub-matrix, each local bit line is shared by two adjacent columns of memory cells.

Pairs of alternated local bit lines are associated with a same main bit line of a main bit line pair. The local bit
10 line selector 201 allows to selectively connecting to each main bit line either one or the other or none of the two local bit lines associated therewith. The local bit line selector 201 comprises switches, e.g. N-channel MOSFETs, controlled by the local bit line selection control signals
15 **S11 - S41** generated by the local bit line selection control circuit 115.

Any main bit line can act as a source line or a drain line for the memory cells, which can thus be accessed from mutually opposite directions; this architecture is necessary
20 for dual-bit memory cells, which needs a reversal of source/drain function of the electrodes in the read and program operations.

The local bit lines are formed by diffusions within the semiconductor layer in which the memory cells are formed;
25 the main bit lines are instead metal lines.

Moving now to FIG. 3, a detailed circuit diagram is shown of one of the above-mentioned word line packet selectors 107, e.g. the word line packet selector of the word line selector block 1031, according to an embodiment of
5 the present invention.

The first-level decoder in the word line packet selector 107 is schematically depicted as a NAND logic gate 399, fed by a respective combination of true and complemented versions RADD1, RADD1# of the first subset of
10 the row address signals RADD. Clearly, design considerations suggest that when the number of the row address signals is high, two or more layers of logic gates having few inputs are preferred to a single logic gate having many inputs.

Switch means 301, in the shown embodiment formed by a
15 transfer gate, allow selectively connecting an output of the NAND gate 399 to the packet selection signal line PSS1, i.e., to the inputs of the word line demultiplexer 111 and the local bit line selection control circuit 115. The word line packet selector 107 also includes a set-reset flip-flop
20 303, comprising a latch circuit 305 formed by two cross-connected CMOS inverters, a flip-flop set circuit path 307, connected to a first terminal (set terminal) of the latch circuit 305, and a flip-flop reset circuit path 309, connected to a second terminal (reset terminal) of the latch
25 circuit 305. The set circuit path 307 comprises two

serially-connected P-channel MOSFETs 311 and 313, connected in series between a supply voltage line VDD and the first terminal of the latch circuit 305. The MOSFET 311 is controlled by a flip-flop set signal LD-ER, common to all the word line selector blocks 1031 - 103p, while the MOSFET 313 has the gate connected to the packet selection signal line PSS1. The reset circuit path 309 comprises two serially-connected P-channel MOSFETs 315 and 317, connected between the supply voltage line VDD and the second terminal of the latch circuit 305. The MOSFET 315 is controlled by a flip-flop reset signal ER-REM, common to all the word line selector blocks 1031 - 103p; the MOSFET 317 has the gate connected to the output of the NAND gate 399. The first terminal of the latch circuit 305 is also coupled to the packet selection signal line PSS1 through a tri-state inverting buffer 319. The transfer gate 301 and the tri-state inverting buffer 319 are activated in mutually alternative manner by a control signal ER-P/VFY, common to all the word line selector blocks 1031 - 103p.

The word line selector 103 also includes a status register 351 which, albeit shown in FIG. 3 as associated to the word line packet selector 107, is common to all the word line selector blocks 1031 - 103p. The status register 351 includes a latch circuit 353, switch means 355 (in the shown example formed by a transfer gate) controlled by a status

register load signal **VFY**, for selectively connecting a set terminal of the latch circuit 353 to a signal line 357 common to all the word line selector blocks 1031 - 103p. In each word line packet selector 107 of each word line selector block 1031 - 103p, switch means 359 (in the shown example formed by a P-channel MOSFET) controlled by the output of the respective NAND gate 399 (i.e., the first-level decoder) allow selectively connecting the common signal line 357 to the packet selection signal line **PSS1**. An output signal line **VFY-OK** of the status register 351 carries the status of the status register 351.

Referring now to **FIG. 4**, a detailed circuit diagram of a word line demultiplexer 111 and a local bit line selection control circuit 115 of a generic word line selector block 1031 - 103p is shown, according to an embodiment of the present invention; in particular, the word line selector block 1031 is taken as an example.

In the shown embodiment, the word line demultiplexer 111 is a two-level demultiplexer. A first demultiplexing level allows selecting a sub-packet of word lines among the word line packet, e.g. the word line sub-packet **WL1 - WL(1+y)**; a second level of demultiplexing allows selecting one word line out of the selected word line sub-packet. The first and second demultiplexing levels are respectively controlled by first and second demultiplexing level control

signals $Q1 - Qx$, $P1 - Py$, forming altogether the word line selection signals **WLSS** generated by the second-level decoder 113. Design considerations suggest that the number of demultiplexing levels can be higher or lower, depending on
5 the number of word lines. A single demultiplexing level is instead implemented by the local bit line selection control circuit 115, controlled by signals **LBLS1 - LBLS4**, forming altogether the local bit lines selection signals **LBLS** generated by the second-level decoder 113.

10 Final driver circuits 401 are provided at the output of the word line demultiplexer 111 and the local bit line selection control circuit 115, for driving the word lines and the signal lines $S11 - S41$. As shown in FIG. 5, each final driver circuit 401 comprises a CMOS inverter 501,
15 receiving a supply voltage from a supply voltage line **VPD** switchable between the supply voltage **VDD**, used during a read operation, and a higher supply voltage, used during a program operation of the memory cells. A feedback-controlled element 503 is provided, in the shown example formed by a P-
20 channel MOSFET connected between the input of the inverter 501 and the supply voltage line **VPD**, with gate connected to the output of the inverter 501. A reset element is additionally provided, in the shown example formed by a P-
25 channel MOSFET 505 connected in parallel to the MOSFET 503, and with gate connected to a signal line **RST** common to all

the final driver circuits 401 of the word line selector block 1031. The signal line RST is controlled by a circuit 403, common to all the final driver circuits of the word line selector block 1031. The circuit 403 comprises a CMOS inverter formed by relatively high resistance MOSFETs 405 and 407, connected between the supply voltage line VPD and the word line packet selection signal line PSS1, and controlled by a control signal PL, which is global and common to all the word line selector blocks 1031 - 103p.

10 In FIG. 6 an alternative embodiment 403' of the circuit 403 is depicted. In this alternative embodiment, two MOSFETs 405' and 407', respectively P-and N-channel, are connected in series between the supply voltage line VPD and the respective word line packet selection signal line PSS1. 15 Instead of being connected in a CMOS inverter configuration, the MOSFET 405' is diode-connected.

As schematically shown in FIG. 4, a memory control circuit 701, for example implementing a state machine, generates the control signals LD-ER, ER-P/VFY, ER-REM, VFY, 20 PL according to a prescribed timing. The control circuit 701 receives memory commands CMD, supplied to the memory from the outside, determining the memory operation. Through a multiplexer 703, the row and column address signals RADD and CADD can be selected among address signals ADD fed to the 25 memory from the outside, and address signals generated

internally to the memory by the memory control circuit 701; this enables the memory to autonomously performing operations involving the generation of sequence of addresses. the row and column address signals RADD and CADD
5 also supply a conventional address transition detector circuit 703 of the memory, generating an address transition detection pulse ATD whenever a new address is detected; the address transition detection pulse ATD feeds the memory control circuit 701. The control circuit 701 is also fed
10 with the signal VFY-OK carrying the status stored in the status register 351.

The operation of the word line selector will be now explained.

When the memory has to conduct read and program
15 operations on the memory cell array 101, the word line demultiplexer 111 and the local bit line selection control circuit 115 in every word line selector block 1031 - 103p are fed with the output of the NAND gate 399. To this purpose, the signal ER-P/VFY is kept deasserted (low logic
20 level, corresponding to the reference or ground voltage GND), so that in each word line selector block 1031 - 103p the transfer gate 301 connects the output of the NAND gate 399 to the respective signal line PSS1 - PSSp; at the same time, the tri-state inverting buffer 319 is put in a high-
25 impedance condition, thereby the flip-flop 303 is isolated

from the signal line **PSS1 - PSSp**.

Depending on the current row address signals **RADD**, the output of one of the NAND gates 399, and thus one of the word line packet selection signals **PSS1 - PSSp**, is asserted
5 (low logic level), one of the signals **Q1 - Qx** is asserted (high logic level), and one of the signals **P1 - Py** is asserted (high logic level), so that one of the word lines **WL1 - WLn** is selected. The potential of the selected word line is brought by the respective final driver circuit 401
10 to the supply voltage **VPD**, whose value depends on the operation to be performed (read or write), while the potential of all the remaining word lines is kept to ground.

As schematically shown in **FIG. 8A**, when the address of the memory location to be accessed in read or write is put
15 on the row and column address signal lines **RADD** and **CADD**, the new address is detected by the address transition detector circuit 705, which generates an address transition detection pulse **ATD**. Consequently, the control circuit 701 produces a short logic "1" pulse on the signal line **PL**,
20 causing the inverter 403 in each word line selector block 1031 - 103p to bring the gates (signal line **RST**) of the reset element (P-channel MOSFETs 505) of the final driver circuits 401 towards the logic state of the respective word line packet selection signal line **PSS1 - PSSp**. In the word
25 line selector block associated with the selected word line

packet, the P-channel MOSFETs 505 of all the final driver circuits 401 are thus turned on, and all the respective word lines, as well as the signal lines S11 - S41, are reset to the ground potential. The duration of the pulse PL shall be
5 sufficient to cause the potential of the line RST to fall below the threshold voltage V_{tp} of the P-channel MOSFET 505. The relative dimensions of the MOSFETs 405 and 407 and the duration of the pulse PL are for example such that the potential of the line RST falls from the supply voltage VDD
10 to half this value.

It is pointed out that the reset elements 505 are normally off, and are turned on for only a short time for resetting the respective final driver circuits. This means that the reset elements do not absorb static current.

15 The behaviour of the alternative embodiment 403' of the circuit 403 is schematically depicted in Fig. 8B. In this case, the diode-connected P-channel MOSFET 405' normally keeps the potential of the line RST at approximately V_{tp} , i.e. the threshold voltage of the P-channel MOSFETs 505;
20 these latter are thus not fully turned off, as in the previous case, but however absorb a very small sub-threshold current. In occasion of the pulse PL, the N-channel MOSFET 407' is turned on, and if the respective word line packet selection signal line PSS1 - PSSp is asserted, the potential
25 of the line RST slightly falls from the value V_{tp} , turning

on the P-channel MOSFETs 505.

Compared to the previous embodiment, this alternative embodiment is less sensitive to the value of the supply voltage VDD.

5 It is pointed out that in both the embodiments, the P-channel MOSFETs 505 that are turned on, and thus absorb current, are only those associated with the final drivers in the word line selector block associated with the selected word line packet.

10 Let it now be assumed that a given memory cell is to be erased, for example a memory cell belonging to a word line in the word line packet WL1 - WLk, i.e. to the sub-matrix 1011. Preliminary to starting the erase operation, the flip-flop 303 in the word line selector block 1031 associated with such word line packet is set. The signal LD-ER is asserted (low logic level), so that the MOSFET 311 is turned on, enabling the set circuit path 307. In the word line selector block 1031, associated with the addressed word line packet WL1 - WLk containing the memory cell to be erased, 15 the output of the NAND gate 399 is asserted (low logic level). The MOSFET 313 is turned on, and a high logic level is brought to the set terminal of the latch circuit 305 through the set circuit path 307. The flip-flop 303 is thus set to a logic "1". In the other word line selector blocks, 20 associated with non-addressed word line packets, the output

of the respective NAND gates 399 is deasserted (high logic level); the MOSFETs 313 of the respective set circuit paths are thus turned off and the set circuit paths remain disabled, so that the respective flip-flops 303 are not set.

5 If several memory cells belonging to different word line packets are to be erased, the different word line packets are addressed in sequence (for example, the memory control circuit 701 generates in sequence the different addresses), and the flips-flops 303 in the associated word
10 line selector blocks are all set.

After having set the flip-flops 303 in all the word line selector blocks associated with word line packets including memory cells to be erased, the signal ER-P/VFY is asserted (high logic level). The transfer gate 301 is
15 disabled, and the tri-state inverting buffer 319 is enabled. In all the word line selector blocks 1031 - 103p, through the tri-state inverting buffer 319, a logic state equal to the logic complement of the logic state latched in the flip-flop 303 is put on the word line packet selection signal
20 lines PSS1 - PSSp, i.e. on the inputs of the word line demultiplexer 111 and the local bit line selection control circuit 115. If the state of the flip-flop 303 has been set to a logic "1" in the previous phase, a logic "0" is put on the inputs of the word line demultiplexers 111 and the local
25 bit line selection control circuits 115.

In the matrix architecture herein described by way of example, during the erase operation all the word lines $WL1 - WLn$ of the array 101 are biased to ground (all the signals $Q1 - Qx$, $P1 - Py$ coming from the second-level decoder 113 are kept at the low logic level); in other words, the low logic level at the input of the word line demultiplexer 111 in the word line selector blocks associated with word line packets to be erased does not affect the word line potentials. The signals $LBS1 - LBS4$ are instead all asserted (high logic level), thereby all the final driver circuits 401 driving the local bit line selection control signal lines $S11 - S41, \dots, S1p - S4p$ are connected to the respective signal line $PSS1 - PSSp$. In the word line selector block or blocks associated with word line packets to be erased, the "1" logic state stored in the flip-flop 303 causes the respective signal line $PSS1 - PSSp$ to be a logic "0", so that the respective local bit line selection control signals are all brought to a logic "1"; all the local bit lines are thus connected to the respective main bit lines. The main bit line selector 105 biases the main bit lines at the potentials required for erasing the memory cells. In the word line selector blocks associated with word line packets that are not to be erased, the "0" logic state stored in the flip-flop 303 causes the input of the respective local bit line selection control circuit 115 to

be set to a logic "1", so that all the local bit line selection control signals are kept to ground; the local bit lines are thus isolated from the main bit lines.

Clearly, different erase schemes are possible, for
5 example depending on the matrix architecture and the type of memory cells.

The erase operation is carried out in parallel on all the word line packets selected for erasing, according to the logic state latched in the flip-flop 303 in the associated
10 word line selector blocks.

After a first erase pulse, an erase verify operation is carried out for ascertaining whether the memory cells of the selected word line packets have been erased or not. All the word line packets are sequentially addressed, starting for
15 example from the first one. When a word line packet is addressed, the output of the associated NAND gate 399 is asserted (low logic level); the MOSFET 359 is thus turned on, and the signal line 357 is connected to the respective word line packet selection signal PSS1 - PSSp. The signal
20 ER-P/VFY is asserted (high logic level), so that the logic complement of the state stored in the flip-flop 303 is put on the signal line PSS1 - PSSp. The signal VFY is then asserted (high logic level), so as to enable the loading into the status flip-flop 353 of a state present on the line
25 357, that is the logic complement of the state stored in the

flip-flop 303. Then, before starting the erase verify operation on the memory cells belonging to the addressed word line packet, the logic state of the signal VFY-OK is ascertained; the logic state of the signal VFY-OK coincides
5 with the state stored in the flip-flop 303. If the logic state of the signal VFY-OK is a logic "1", meaning that the word line packet has been submitted to an erase pulse, an erase verify is conducted on the memory cells of the word
line packet: all the memory cells of the word line packet
10 are sensed; if instead the logic state of the signal VFY-OK is a logic "0", the erase verify operation on such word line packet is skipped and the next word line packet is addressed.

If the erase verify conducted on the memory cells of
15 the word line packet provides a positive outcome (meaning that all the memory cells have been erased), the flip-flop 303 is reset to a logic "0". To this purpose, the signal ER-REM is asserted (low logic level), so that the reset terminal of the latch circuit 305 is connected to the supply
20 voltage line VDD. In this way, no more erase pulses will be applied to the memory cells of that word line packet. Otherwise, the flip-flop 303 is left set, and one or more additional erase pulses will be applied to the memory cells.

It is to be noted that the word line selector 103 not
25 only allows a selective erase to be conducted in parallel on

the memory cells belonging to one or more word line packets. In case it is desired to perform a global erase on the whole memory cell matrix 101, this can be done by setting at a time all the flip-flops 303 in all the word line selector
5 blocks 1031 - 103p; to this purpose, the memory control circuit 701 can force all the true and complemented row address signals RADD1, RADD1# to "1". When the signal LD-ER is asserted, all the flip-flops 303 are thus set. Also in this case, additional erase pulses are applied selectively
10 only to the memory cells of the word line packets that, in the erase verify phase, result to be not yet erased.

It can be appreciated that the word line selector according to the described embodiment of the present invention allows implementing a selective erase of the
15 memory cells in the memory cell matrix 101. In particular, the erase selectivity is by groups or packets or word lines; clearly, the fewer the word lines in each packet, the higher the selectivity.

Thanks to the word line selector according to the
20 described embodiment of the present invention, the erase selectivity is achieved in a rather simple way. Word line selectors having at least a first-level decoder and a second-level decoder are in fact normally provided, therefore the implementation of the present invention
25 requires minor changes to the conventional word line

selector design.

In particular, the word line selector according to the described embodiment of the present invention allows implementing a simple sectorization scheme of the memory:

5 each word line group can in fact be considered as a memory sector, erasable individually and independently from the other sectors.

The word line selector according to the described embodiment of the present invention also allows implementing
10 an efficient erase verify procedure, which on the average reduce the number of unnecessary erase pulses applied to the memory cells. This has a significant impact on the memory aging, and increases the number of write/erase cycles that the memory can sustain.

15 It is pointed out that the word lines in the word line packets need not be physically consecutive. Scrambling schemes may be implemented for scrambling the correspondence between addresses and word lines.

The invention can be applied to any kind of
20 electrically erasable memory, independently of the architecture of the memory cell matrix (which not necessarily shall provide for main bit lines and local bit lines) and the adopted erasing scheme (which may for example call for biasing the word lines containing memory cells to
25 be erased at a negative potential). Even more generally, the

invention can be applied to the selection of lines (rows or columns) of any matrix of memory elements.

The structure of the circuits 403 and 403' for resetting the final drivers 401 is advantageous *per-se*. They
5 do not introduce static power consumption and, when activated, only a sub-set of the driver circuits is reset, limiting the dynamic power consumption. Incidentally, it is pointed out that any of these two circuits can be used even in a word line selector context in which the flip-flops 303
10 are not provided, and not only in electrically erasable non-volatile memories, but in general in any kind of semiconductor memory.

Although the present invention has been disclosed and described by way of an embodiment, it is apparent to those
15 skilled in the art that several modifications to the described embodiment, as well as other embodiments of the present invention are possible without departing from the scope thereof as defined in the appended claims.

In particular, the structure of the flip-flops 303 and
20 305 may be different, or electrically programmable and erasable memory cells can be exploited.

Also, instead of a single signal line 357 shared by all the word line selector blocks, a plurality of signal lines can be provided, each one associated with one or a group of
25 word line selector blocks.

THE FIRST PART OF THE HISTORY OF THE
LIFE OF THE LATE KING OF GREAT
BRITAIN

AND OF HIS REIGN
FROM HIS INFANCY TO HIS DEATH
IN THE YEAR 1702
BY JOHN HANCOCK

LONDON
Printed by J. Sturges, at the
Sign of the Anchor, in St. Dun-
stons Church-yard, 1702

THE SECOND PART OF THE HISTORY OF THE
LIFE OF THE LATE KING OF GREAT
BRITAIN

AND OF HIS REIGN
FROM HIS DEATH TO THE PRESENT
BY JOHN HANCOCK

CLAIMS

1. A line selector for a matrix of memory elements,
comprising

5 a plurality of matrix line group selection circuits
(1031-103p,107,399), each one allowing the selection (PSS1-
PSSp) of a respective group of lines (WL1-WLk,...,WLq-WLm)
according to a first address (RADD1), each line group
including at least one matrix line,

10 characterised by comprising

flag means (303) associated with each line group, that
can be set (307,LD-ER) to declare a pending status of a
prescribed operation to be conducted on the respective line
group, and

15 means (301,319) for entrusting the flag means with the
selection of the respective line group during the execution
of the prescribed operation (ER-P/VFY), in alternative to
the respective line group selection circuit, the flag means
enabling, when set, the execution of the prescribed
20 operation on the respective line group.

2. The line selector according to claim 1, in which the
matrix lines are word lines.

25 3. The line selector according to claim 2, in which the

prescribed operation is an erase operation of the memory elements.

4. The line selector according to claim 3, in which the
5 flag means are reset (309,ER-REM) after the respective word
line group has been erased.

5. The line selector according to claim 4, in which the
flag means are reset after the respective word line group
10 has passed an erase verify operation.

6. The line selector according to claim 5, comprising
setting means (307) and resetting means (309), associated
with each flag means for setting and, respectively,
15 resetting the associated flag means, the setting means and
resetting means being enabled by the respective line group
selection circuit according to the first address.

7. The word line selector according to any one of
20 claims 2 to 6, in which the flag means comprises a set-reset
flip-flop.

8. The line selector according to any one of claims 2
to 7, in which the means for entrusting the flag means with
25 the selection of the respective line group during the

execution of the prescribed operation comprise means (301) for disconnecting the line group selection circuit from a respective line group selection signal line (PSS1 - PSSp), and means (319) for transferring onto the line group selection signal line a state corresponding to that of the
5 respective flag means.

9. The line selector according to any one of claims 2 to 8, comprising a plurality of word line selection circuits
10 (111), each one associated with a respective line group selection circuit for allowing the selection of at least one word line within a respective group of word lines, according to a second address (RADD2), the word line selection circuits comprising word line driver circuits (401) for
15 driving potentials of the word lines.

10. The line selector according to claim 9, in which a word line driver reset circuit (403;403') is associated with each line group selection circuit, activatable (PL) for
20 resetting the word line driver circuits of the associated word line selection circuit.

11. The line selector according to claim 10, in which the word line driver reset circuit, when activated, resets
25 the word line driver circuits of the associated word line

selection circuit only if the respective group of word lines is selected.

12. A method of conducting a prescribed operation on a
5 matrix of memory elements, comprising:

providing a line selector having a plurality of line group selection circuits (1031-103p,107), each one allowing the selection (PSS1-PSSp) of a respective group of matrix lines (WL1-WLk,...,WLq-WLm) according to an address (RADD1),
10 each matrix line group including at least one matrix line,

characterised by comprising

associating with each matrix line group a respective flag (303),

selectively setting (307,LD-ER) at least one flag, to
15 declare a pending status of the prescribed operation for the respective matrix line group, and

entrusting the flags with the selection of the respective matrix line group, in alternative to the respective line group selection circuit, the at least one
20 set flag enabling the execution of the prescribed operation on the respective matrix line group.

13. The method according to claim 2, in which the matrix lines are word lines.

14. The method according to claim 13, in which the prescribed operation is an erase operation.

15. The method according to claim 14, in which the
5 setting of the at least one flag comprises selecting the matrix group via the respective line group selection circuit.

16. The method according to claim 15, comprising
10 applying at least one erase pulse.

17. The method according to claim 16, comprising
verifying an outcome of the at least one erase pulse by
accessing the word lines in the word line group associated
15 with the at least one set flag.

18. The method according to claim 17, in which the
verifying comprises resetting the at least one set flag if
the outcome of the at least one erase pulse is positive.

20

19. The method according to claim 18, in which the
resetting the at least one set flag comprises selecting the
associated word line group via the respective line group
selection circuit.

25

20. The method according to claim 19, comprising applying additional erase pulses and verifying the outcome of each additional erase pulse, until the at least one set flag is reset.

5

21. A memory comprising a matrix of memory elements and a line selector (103) for selecting lines (WL1-WLm) of the matrix,

characterised in that

10 the line selector is realised according to any one of claims 1 to 11.

LINE SELECTOR FOR A MATRIX OF MEMORY ELEMENTS

* * * * *

ABSTRACT

A line selector for a matrix of memory elements, for
5 example a word line selector, comprises a plurality of line
group selection circuits (1031-103p, 107, 399), each one
allowing the selection (PSS1-PSSp) of a respective group of
matrix lines (WL1-WLk, ..., WLq-WLm) according to an address
(RADD1); each matrix line group includes at least one matrix
10 line. Flag means (303) are associated with each line group,
that can be set (307, LD-ER) to declare a pending status of a
prescribed operation, for example an erase operation, for
the respective matrix line group. Means (301, 319) are
provided for entrusting the flag means with the selection of
15 the respective line group during the execution of the
prescribed operation (ER-P/VFY), in alternative to the
respective line group selection circuit. The flag means
enable, when set, the execution of the prescribed operation
on the respective matrix line group.

20 (FIG. 3)

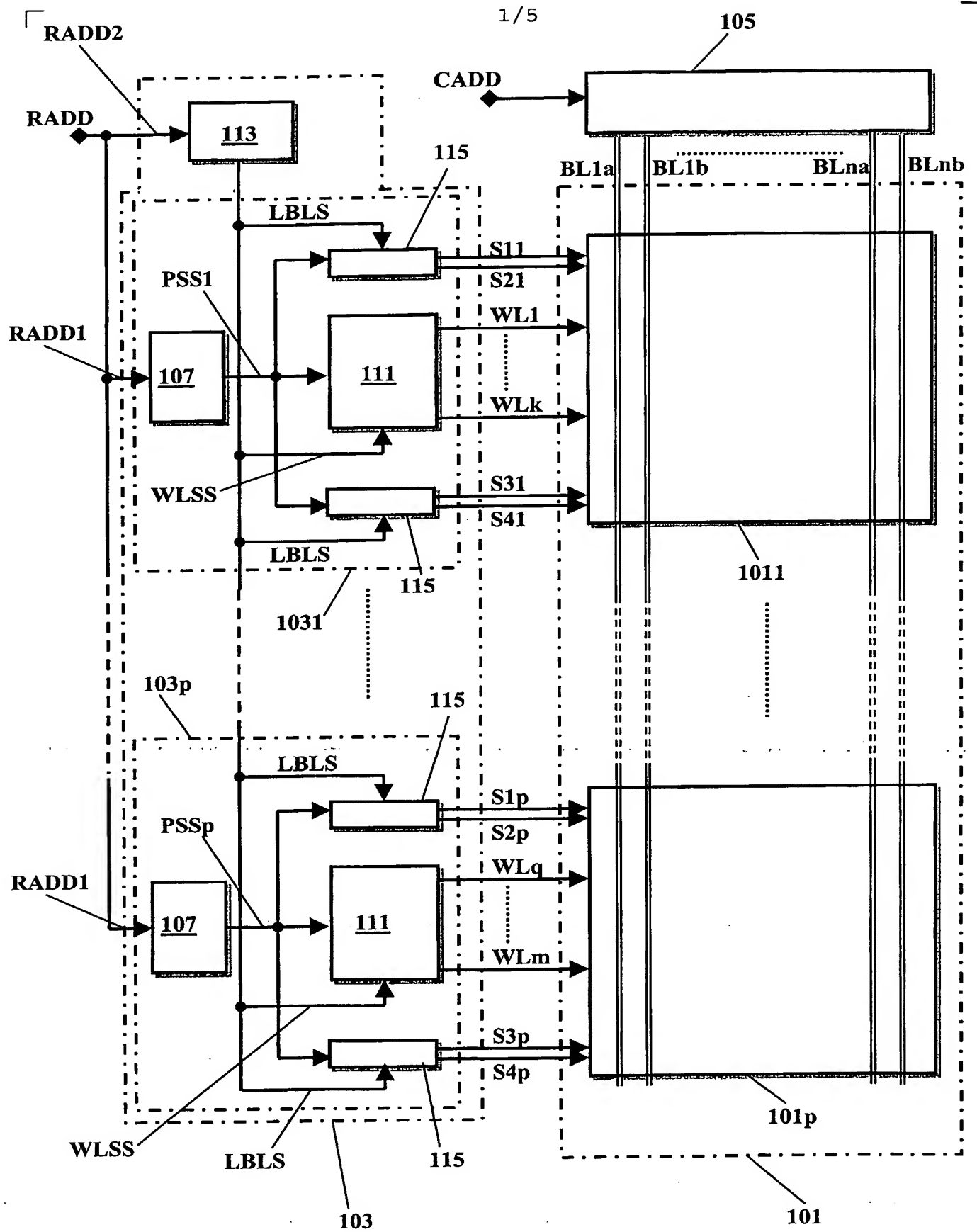
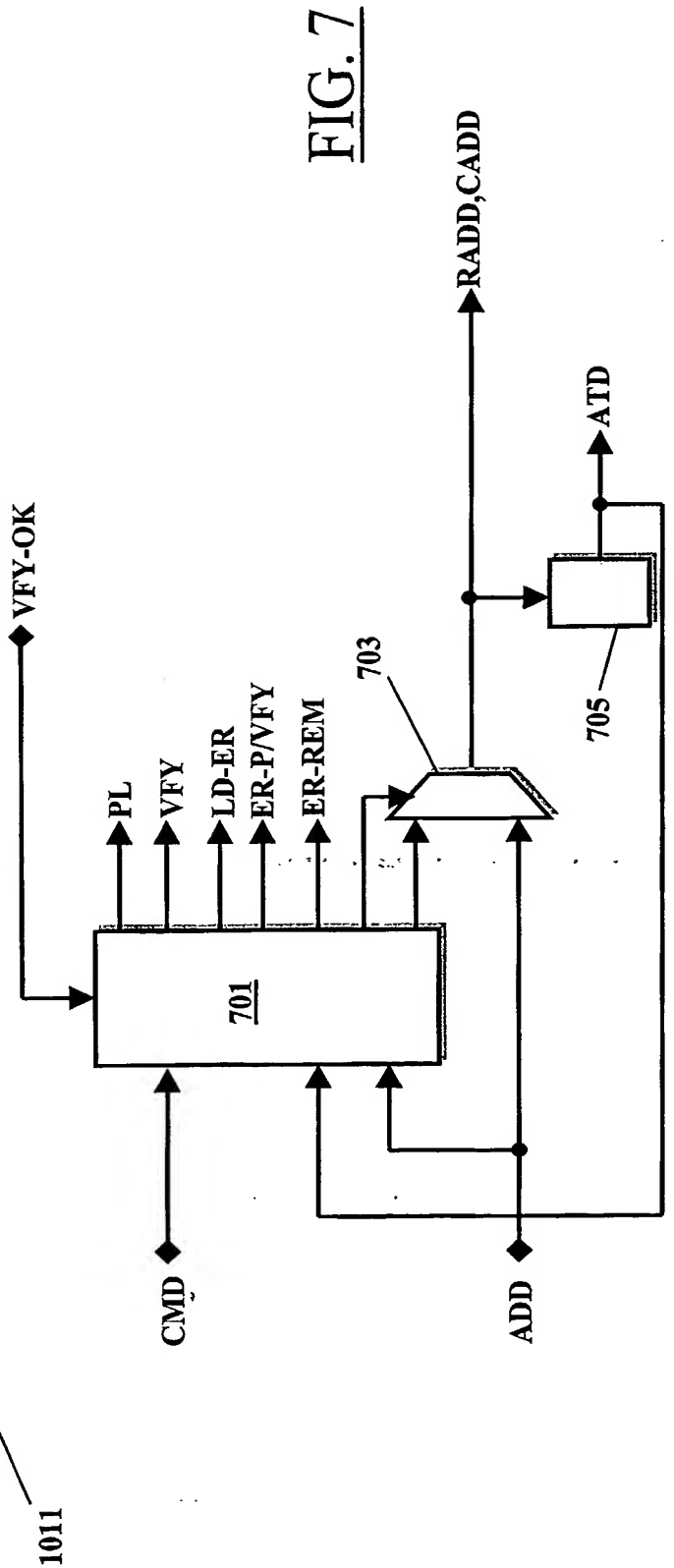
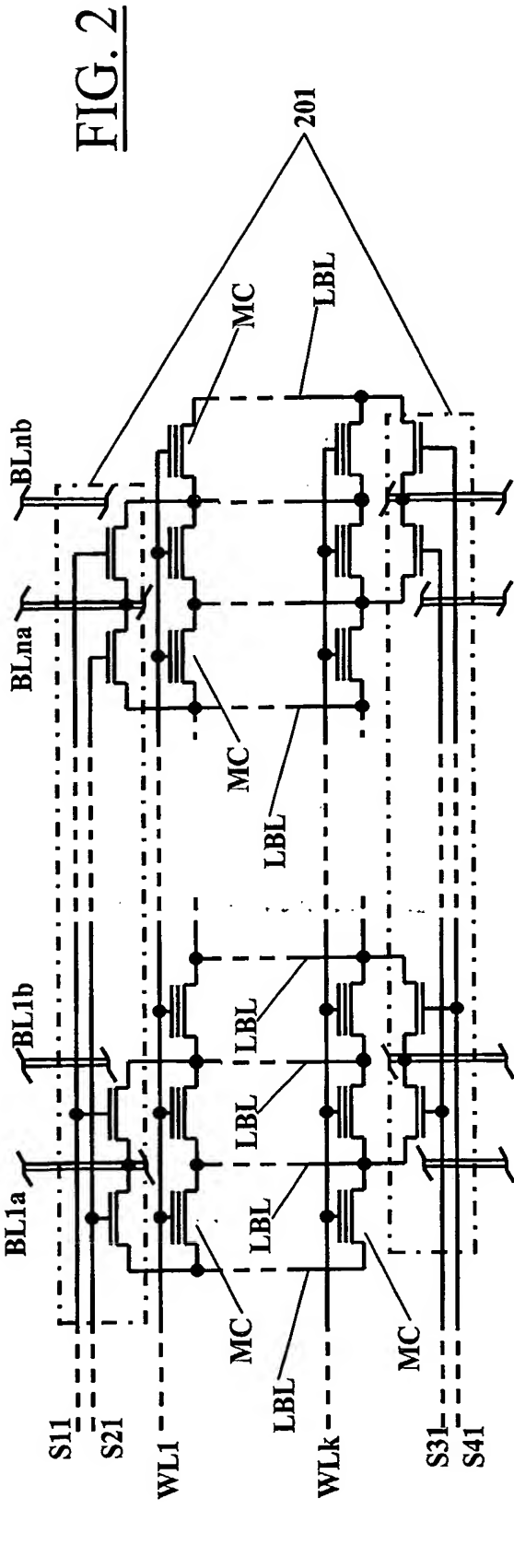


FIG. 1



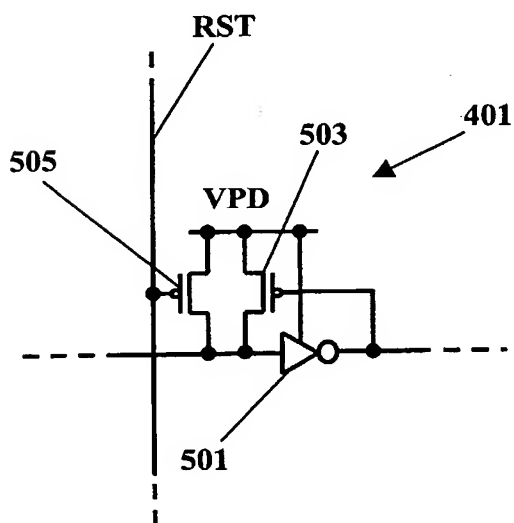
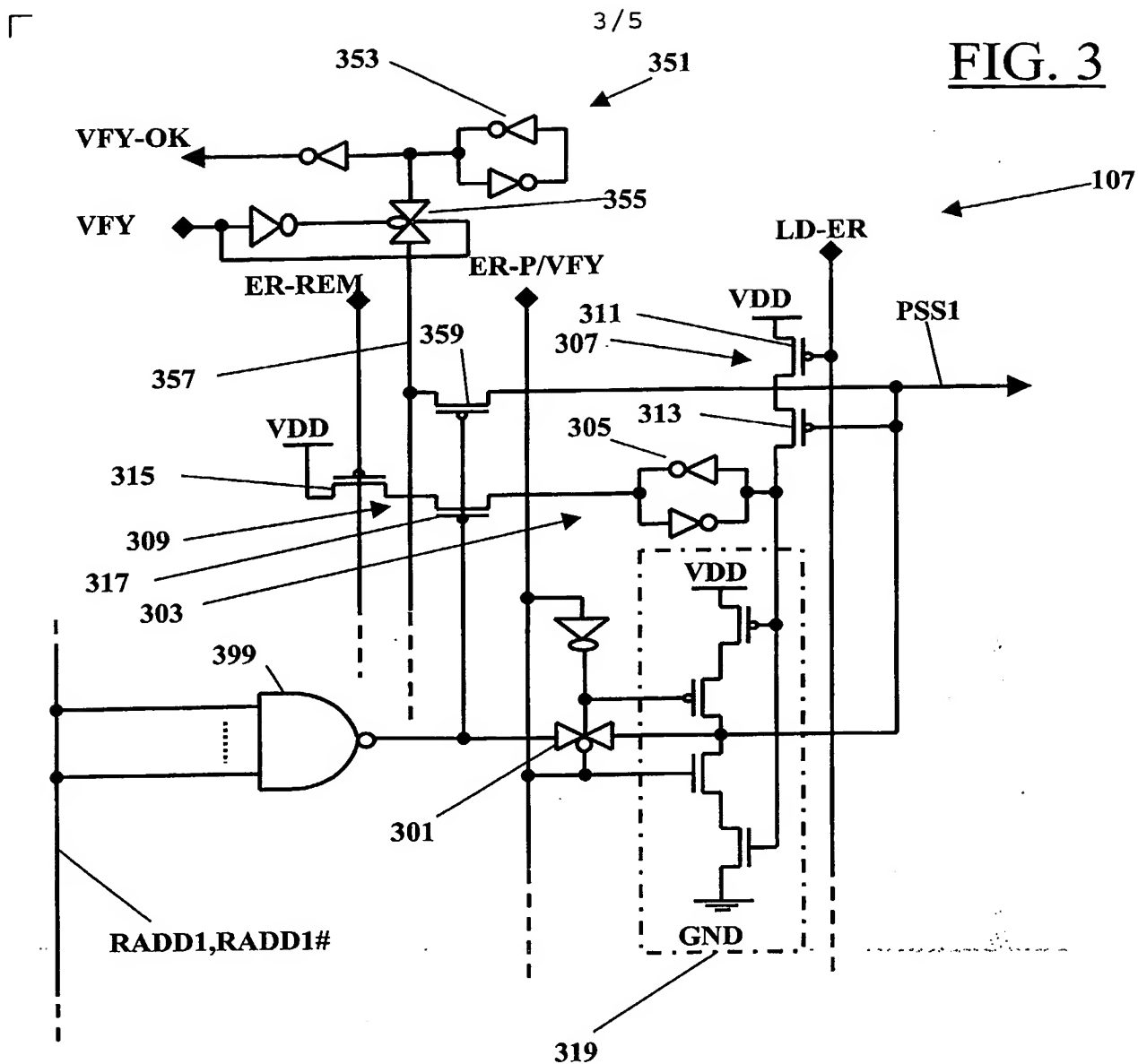


FIG. 5

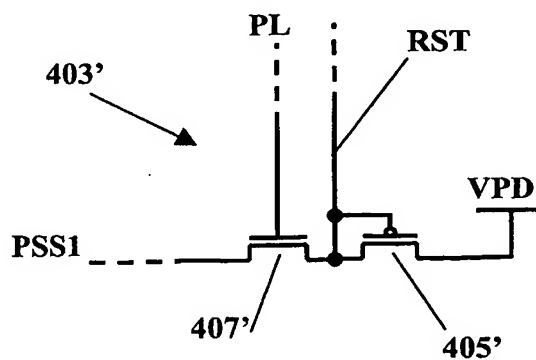


FIG. 6

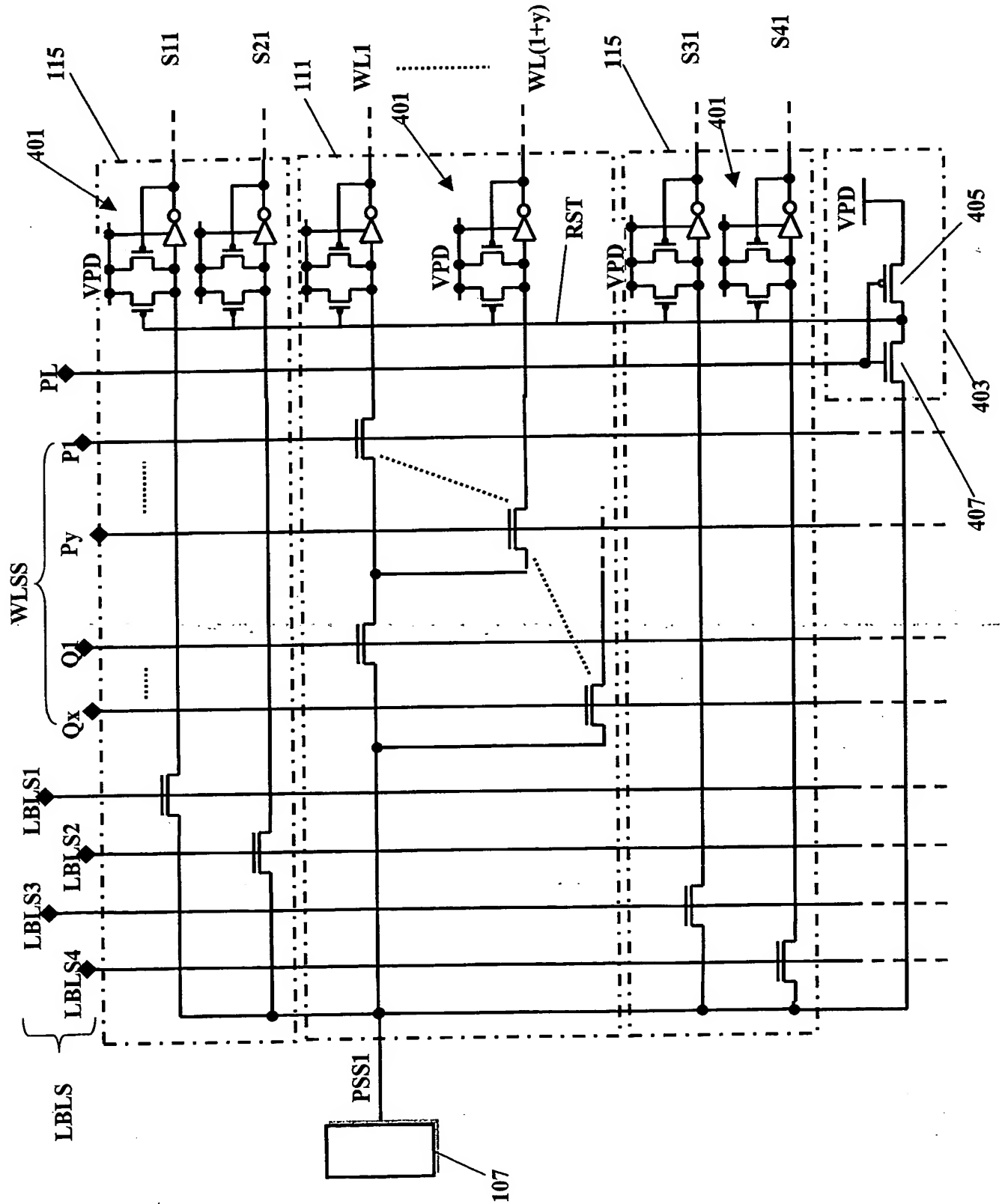


FIG. 4

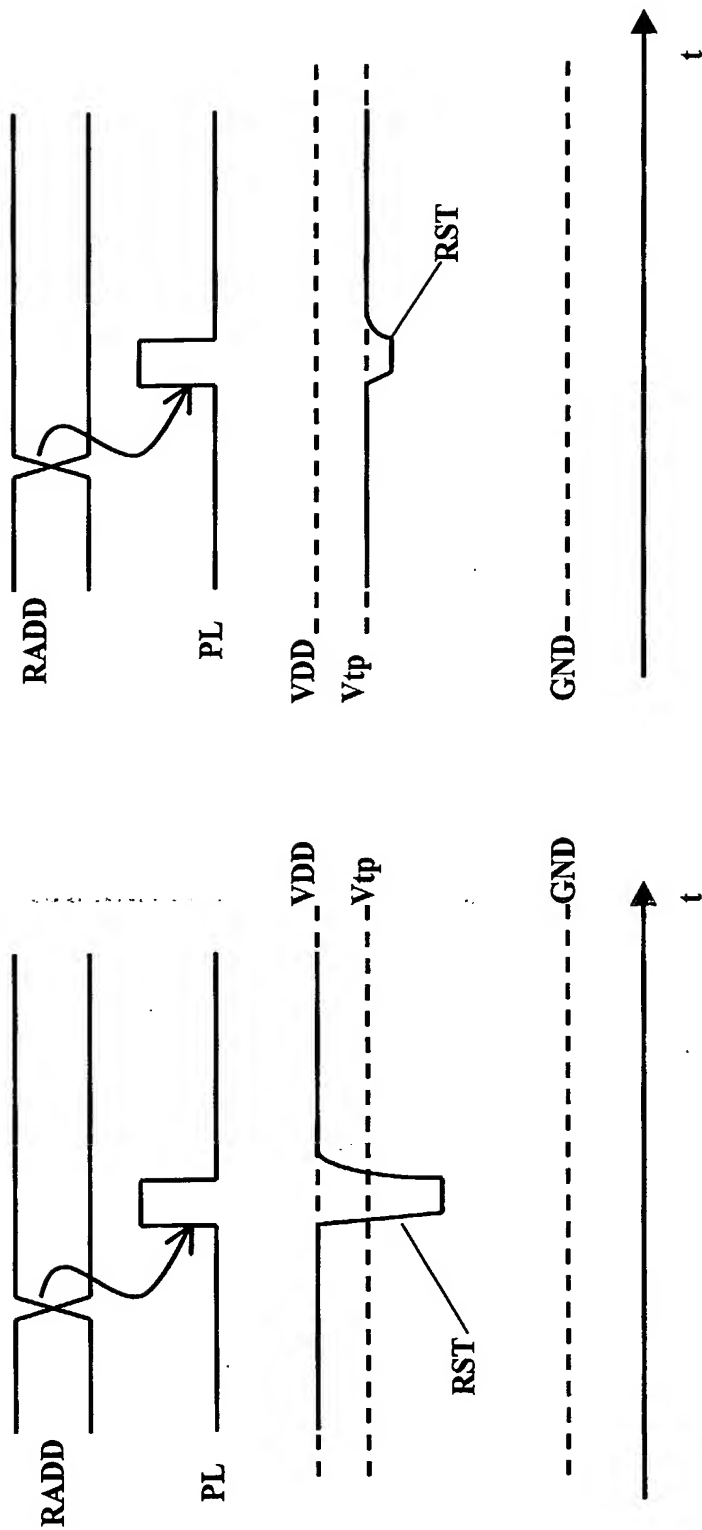


FIG. 8A

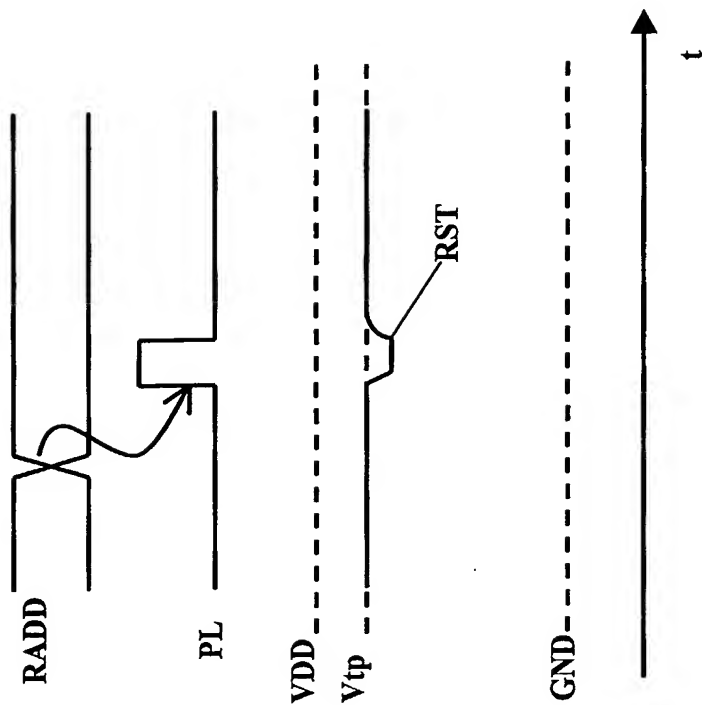


FIG. 8B

